

T S4/5/1

4/5/1

DIALOG(R)File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

009486058 \*\*Image available\*\*

WPI Acc No: 1993-179593/199322

Related WPI Acc No: 2003-517354

XRPX Acc No: N93-137892

Image processor for colour copying machine - modifies image data in  
memory when input image matches specific registered image NoAbstract

Patent Assignee: CANON KK (CANO )

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5110815	A	19930430	JP 91272227	A	19911021	199322 B
JP 3337700	B2	20021021	JP 91272227	A	19911021	200272

Priority Applications (No Type Date): JP 91272227 A 19911021

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 5110815	A		47	H04N-001/387	
------------	---	--	----	--------------	--

JP 3337700	B2		46	H04N-001/387	Previous Publ. patent JP 5110815
------------	----	--	----	--------------	----------------------------------

Abstract (Basic): JP 5110815 A

Dwg.11/47

Title Terms: IMAGE; PROCESSOR; COLOUR; COPY; MACHINE; MODIFIED; IMAGE; DATA  
; MEMORY; INPUT; IMAGE; MATCH; SPECIFIC; REGISTER; IMAGE; NOABSTRACT

Derwent Class: T01; W02

International Patent Class (Main): H04N-001/387

International Patent Class (Additional): G06F-015/62

File Segment: EPI

?

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-110815

(43) 公開日 平成5年(1993)4月30日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/387		8839-5C		
G 0 6 F 15/62	A	8125-5L		

審査請求 未請求 請求項の数11(全 47 頁)

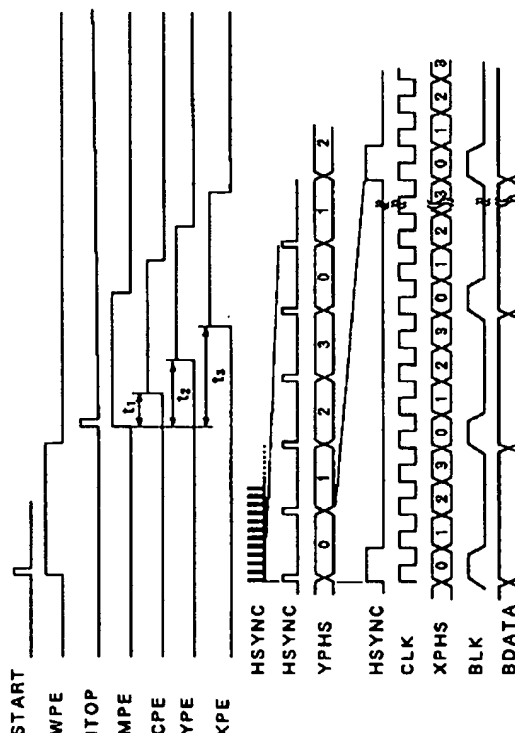
(21) 出願番号	特願平3-272227	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成3年(1991)10月21日	(72) 発明者	山本 光洋 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	船田 正広 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	宇田川 豊 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(74) 代理人	弁理士 大塚 康德 (外1名) 最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 商品券や有価証券などの特定原稿画像を含む入力画像データを出力しない画像処理装置を提供する。

【構成】 入力手段1101~1103によつて入力された画像と、特定原稿画像との類似度を、判定手段1171によつて判定し、入力画像が特定原稿画像を含むと判定された場合には、その判定信号Hに応じて、CPU1170が、メモリ1116の内容を加工するように制御する。



## 【特許請求の範囲】

【請求項1】 入力画像データを保持する記憶手段と、前記入力画像データを処理する画像処理手段と、前記入力画像データによつて表される画像と所定の特定画像との類似度に応じて前記記憶手段に保持された画像データを加工する制御手段とを有することを特徴とする画像処理装置。

【請求項2】 請求項1記載の画像処理装置において、前記制御手段は前記記憶手段に保持された画像データを消去することを特徴とする画像処理装置。

【請求項3】 請求項1記載の画像処理装置において、前記制御手段は前記記憶手段に保持された画像データによつて表される画像に特定のパターンを付加することを特徴とする画像処理装置。

【請求項4】 請求項3記載の画像処理装置において、前記付加パターンは装置を使用した使用者固有の番号もしくは記号であることを特徴とする画像処理装置。

【請求項5】 請求項3記載の画像処理装置において、前記付加パターンは装置固有の番号もしくは記号であることを特徴とする画像処理装置。

【請求項6】 請求項3記載の画像処理装置において、前記付加パターンは人間の目に認識し難い色で付加されることを特徴とする画像処理装置。

【請求項7】 請求項3記載の画像処理装置において、前記付加パターンは一定間隔で繰返し付加されることを特徴とする画像処理装置。

【請求項8】 請求項7記載の画像処理装置において、前記一定間隔は前記特定画像の縦および横の寸法幅よりも小さいことを特徴とする画像処理装置。

【請求項9】 請求項1記載の画像処理装置において、原稿を光学的に読取り色分解されたフルカラー入力画像信号を得る画像読取手段と、処理された画像信号をプリント出力する画像出力手段とを有することを特徴とする画像処理装置。

【請求項10】 請求項9記載の画像処理装置において、前記画像出力手段は複数の感光体に同時に像形成し転写媒体に転写され出力されるものであることを特徴とする画像処理装置。

【請求項11】 請求項1記載の画像処理装置において、前記入力画像は符号化された後に前記メモリに蓄えられることを特徴とする画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は画像処理装置に関するもので、例えば、特定原稿画像を判別する画像処理装置に関するものである。

## 【0002】

【従来の技術】 近年の複写機の高画質化、カラー化に伴

い、特に商品券や有価証券などの特定原稿についての偽造の危惧が生じている。一方、複写機において特定原稿を認識する方法として、入力画像の色データの分布を検出し、入力画像と特定原稿画像の色データの両分布を比較する方法や、入力画像と特定原稿画像の両方を共通色空間に変換し、共通色空間において、画素単位で入力画像と特定原稿画像の比較を行う方法などがある。上記の方法などにより特定原稿であると判定された場合、一般に、人間の目に見え難いドットパターンなどを、出力画像に付加する技術が本出願人により提案されている。

## 【0003】

【発明が解決しようとしている課題】 しかしながら、近年、画像データを記憶するメモリに、一旦、入力画像を格納した後に、画像形成する画像処理装置が用いられるようになった。かかる装置においては、単に、画像形成を禁止するだけでは、メモリ内に画像が残つてしまい、再度、画像形成を指示することにより、偽造ができてしまう可能性があつた。

【0004】 本発明は、かかる技術の欠点に鑑みてなされたものであり、画像メモリを有する装置において、有効に偽造行為を防止できる画像処理装置を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 本発明は、前記の課題を解決することを目的としたもので、前記の課題を解決する一手段として以下の構成を備える。すなわち、入力画像データを保持する記憶手段と、前記入力画像データを処理する画像処理手段と、前記入力画像データによつて表される画像と所定の特定画像との類似度に応じて前記記憶手段に保持された画像データを加工する制御手段とを備える画像処理装置とする。

## 【0006】

【作用】 以上の構成によつて、特定画像データが含まれている入力画像データの出力を制御できる画像処理装置を提供できる。

## 【0007】

【実施例】 以下、図面を参照して本発明に係る一実施例を詳細に説明する。以下の実施例では、本発明の適用例として複写機が示されているが、本発明はこれに限定されるものではなく、本発明の趣旨を逸脱しない範囲でプリンタやプリンタインターフェイスなどの他の装置への適用も可能である。また特定原稿は、紙幣、有価証券など法律で複写が禁止されたもののほか、機密文書などの特定の用途に至るまでのすべてを含むものとする。

## 【0008】

【第1実施例】 図1は、本実施例の構成例を示すブロック図である。図1において、122と123はそれぞれスキヤナaとスキヤナbで、原稿の画像を光学的に読取つて、RGB信号に変換する。102は画像処理ユニット（以下「IPU」という）で、スキヤナ122よりR

GB信号を受け、輝度信号より濃度信号への変換を行い、YMCK信号を出力する。IPU102は、少なくとも1画面分の画像データを記憶するメモリを有する。103はホストコンピュータであつて、スキヤナ123よりRGB信号を受け、輝度信号より表色系への変換を行い、 $L^*a^*b^*$ 信号を出力する。

【0009】104はスチールビデオ（以下「SV」という）、105はビデオテープレコーダ（以下「VTR」という）である。100は信号処理部で、IPU102、ホストコンピュータ103、SV104、VTR105およびその他の入力機器と接続し、各入力機器からの画像信号を、それぞれの入力機器が扱う色空間の形態で受け、印刷信号に変換する。

【0010】112はプリンタなどの画像出力装置である。次に、信号処理部100において、106はメモリを有す演算回路、107は変換回路、108は色処理回路、109は特定原稿識別回路、110は画像出力制御回路、113は表示部であり、404は特定原稿識別回路109の識別信号INHを示している。

\*【0011】次に、信号処理部100の動作例を説明する。カラー原稿の画像は、スキヤナa122とスキヤナb123により読取られ、RGB3色に分解されたデジタル信号となり、それぞれ画像処理機能を備えたIPU102とホストコンピュータ103に送られる。IPU102やホストコンピュータ103では、対数変換、マスキング演算、UCRといった通常のデジタルカラー複写装置の画像処理部で行われる演算処理により、入力されたRGB信号がYMCK信号へと変換されたり、また、IPU102やホストコンピュータ103に入力されたRGB信号がXYZ表色系のXYZ信号に変換されたり、XYZ表色系に変換された画像信号が、さらに $L^*a^*b^*$ 表色系の $L^*a^*b^*$ 信号に変換されたりというように、入力されたRGB信号が様々な色空間に変換される。

【0012】RGB信号からXYZ表色系の3刺激値XYZへ、また3刺激値XYZから $L^*a^*b^*$ に変換される際、RGB信号がNTSC方式に準ずる時の変換式は(1)式、(2)式で表される。

$$\begin{bmatrix} X \\ Y \\ Z \end{bmatrix} = \begin{bmatrix} 0.6067 & 0.1736 & 0.2001 \\ 0.2988 & 0.5868 & 0.1144 \\ 0.0 & 0.0661 & 1.1150 \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} \quad \dots (1)$$

$$\left. \begin{aligned} L^* &= 166(Y/Y_0)^{1/3} - 16 \\ a^* &= 504.3 \{(X/X_0)^{1/3} - (Y/Y_0)^{1/3}\} \\ b^* &= 201.7 \{(Y/Y_0)^{1/3} - (Z/Z_0)^{1/3}\} \end{aligned} \right\} \dots (2)$$

ただし、 $X_0 Y_0 Z_0 = \text{一定}$

以上のようにIPU102、ホストコンピュータ103などによつて、様々な色空間の信号に変換された画像信号が、信号処理部100へ出力される。

【0013】また一方で、SV104やVTR105といった機器から、RGB信号が信号処理部100へ出力される。IPU102、ホストコンピュータ103、SV104、VTR105のような様々な機器から出力された画像信号が、面順次のYMCK信号であつた場合、該信号は2つの系統に分かれ、一方は画像出力制御回路110へ、他方は演算回路106へ入力される。また、画像処理装置110への入力が、面順次のYMCK信号以外の信号である場合、該信号は演算回路106へと送られる。

【0014】演算回路106はメモリを備えており、入力信号が点順次の画像信号である場合は信号を通過させ、入力信号が面順次の信号である場合は、一旦、メモリに信号を蓄え、点順次の信号へと変換する。演算回路106からは、RGB、YMCK、 $L^*a^*b^*$ 、XYZなど様々な信号が出力され、該信号は変換回路107へ送られる。

【0015】変換回路107では、入力された画像信号をある共通色空間の画像信号（本実施例ではRGB信号）に変換する。変換回路107から出力された共通色空間の画像信号は、2つに分かれ、色処理回路108と特定原稿識別回路109へ送られる。図2は、本実施例の変換回路107の構成例を示すブロック図であり、図3は、本実施例の各種色空間と共通色空間との関係の一例を説明する図である。以下は、YMCK信号をRGB信号に変換する例を説明する。

【0016】図2において、201、202、203はそれぞれ加算器c、加算器m、加算器yで、それぞれC信号とK信号を、M信号とK信号を、Y信号とK信号を加算する。204、207、210は乗算器で、それぞれ加算器c201の結果に所定の定数a11、a21、a31を掛け合わせる。205、208、211は乗算器で、それぞれ加算器m202の結果に所定の定数a12、a22、a32を掛け合わせる。206、209、212は乗算器で、それぞれ加算器y203の結果に所定の定数a13、a23、a33を掛け合わせる。

【0017】213、214、215は加算器r、加算

5

器g, 加算器bで、それぞれ乗算器204, 205, 206の出力の加算、乗算器207, 208, 209の出力の加算、乗算器210, 211, 212の出力の加算を行う。加算器r213はR信号を、加算器g214はG信号を、加算器b215はB信号を出力する。変換回路107の動作は次のようになる。演算回路106から出力されたC信号、M信号、Y信号は、それぞれ加算器c201, 加算器m202, 加算器y203へ入力される。K信号は、3つに分かれ、加算器c201, 加算器m202, 加算器y203へ別途入力される。加算器c201, 加算器m202, 加算器y203では、それぞれ\*

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = A \begin{bmatrix} C' \\ M' \\ Y' \end{bmatrix} \quad \dots (3)$$

ただし、 $A = \begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix}$

ここで、(3)式の係数行列Aは、マスキング処理の係数行列の逆行列である。

【0020】即ち、図3に示すように、異なる色空間の画像信号を、信号変換や正規化により予め決められた共通色空間の画像信号に変換する。また、同一色空間の画像信号であつても、原稿読取りの際の分光特性の影響などで、軸にゆがみが生じている場合にも、信号変換や正規化により予め決められた共通色空間の画像信号に変換する。

【0021】色処理回路108では、変換回路107からのRGB信号を受け、対数変換、マスキング、UCRなどの処理を行い、面順次のYMCK信号を出力する。一方、特定原稿識別回路109へ送られた信号は、後述する方法により、入力画像信号中にある特定原稿画像の存在の有無を判定する。特定原稿識別回路109において、入力画像信号中に特定原稿画像が存在すると判定された場合は、特定原稿識別回路109から画像出力制御回路110へ送られるINH404が‘1’となる。画像出力制御回路110は、INH404が‘1’の間は、入力された画像信号の出力を中止し、特定原稿画像と判定された画像が、画像出力装置112から出力されないようにするとともに、表示部113に信号を送り、画像出力不可を表示させる。

【0022】逆に、入力画像信号中に特定原稿が存在しない場合は、INH404は‘0’のままである。画像出力制御回路110は、INH404が‘0’のときは入力された画像信号を通過させ、画像が画像出力装置112から出力される。次に、特定原稿識別回路109の動作例について説明する。図4は、特定原稿識別回路1

6

\*れ $C' = C + K$ ,  $M' = M + K$ ,  $Y' = Y + K$ の計算が行われ、 $C'$ ,  $M'$ ,  $Y'$ が乗算器204~212へ出力される。

【0018】乗算器204~212で所定値の掛け合わされた信号は、加算器r213, 加算器g214, 加算器b215へ入力される。加算器r213, 加算器g214, 加算器b215からは、それぞれR信号、G信号、B信号として出力される。以上の関係は(3)式のように表される。

【0019】

09の構成例を示すブロック図である。

【0023】図4において、515はCPUで、特定原稿識別回路109全体の制御を行う。516はROMで、CPU515の動作プログラムなどが記憶されている。517はRAMで、各種プログラムの作業領域として使用される。CPU515は、主としてカウンタa521~カウンタh528およびSRAM512のデータを読み取り、入力原稿画像中の特定原稿画像の存在をチェックする。

【0024】513と514はラッチで、RGB各5ビットの合計15ビットのデータをラッチする。501は判定ROMで、図5(a), (b)に斜線で示したような特定原稿の、RGB空間上の画像データが記憶されている。本実施例の判定ROM501は、データ幅8ビット、アドレス幅15ビットのROMで構成される。判定ROM501には、RGB各5ビットの合計15ビットで表される任意アドレスのデータの、ビット0は第1の特定原稿の画像データの有無を表し、ビット1は第2の特定原稿の画像データの有無を表し、・・・、ビット7は第8の特定原稿の画像データの有無を表すというように、8種類の特定原稿の画像データが格納されている。なお、図6に示すように、ビットが‘1’のときは、該ビットに対応する特定原稿の画像データが存在することを意味し、ビットが‘0’のときは、該ビットに対応する特定原稿の画像データが存在しないことを意味する。

【0025】例えば、入力RGB信号313~315によつて表されるアドレスに、第3の特定原稿の画像データが存在する場合は、判定ROM501の出力のビット2が‘1’で他のビットは‘0’になり、第4の特定原

稿と第7の特定原稿の画像データが存在する場合は、判定ROM501の出力のビット3とビット6が‘1’で他のビットは‘0’になる。特定原稿の画像データがまったく存在しないときは、判定ROM501の出力のすべてのビットが‘0’になる。

【0026】なお、判定ROM501に記憶させるデータは、特定原稿の画像データに限定されず、任意の特定画像データを記憶させてもよいことはいうまでもない。判定ROM501が出力した判定結果は、ラッチ回路502を経て、積分器a5011～積分器h5018に入  
10 力される。図7は、積分器a5011～積分器h5018

$$\left. \begin{aligned} y_j &= \beta \cdot y_{j-1} + 255(1-\beta)x_j \\ \text{ただし、} j &= 1, 2, 3, \dots \\ 0 < \beta < 1 \end{aligned} \right\} \dots (4)$$

(4)式において、 $\beta$ は積分器の積分効果を制御する定数で、 $\beta$ が大きいほど積分効果が大きくなり、 $\beta$ が小さいほど積分効果が小さくなる。即ち、図7(a)に示す出力 $y_j$ の曲線は、 $\beta$ が1に近づくほど緩やかに変化し、 $\beta$ が0に近づくほど急激に変化する。  
20

【0029】例えば、特定原稿として、紙幣程度の大きさの原稿を想定するときは $\beta = 31/32$ 程度、切手などの大きさを想定するときは $\beta = 7/8$ 程度の値が適切である。なお、この $\beta$ の値は、特定原稿に応じて、不図※

$$\left. \begin{aligned} A_i > B_i \quad \text{のとき} \quad C_i &= 1 \\ A_i \leq B_i \quad \text{のとき} \quad C_i &= 0 \\ \text{ただし、} i &= 1, 2, 3, \dots, 8 \end{aligned} \right\} \dots (5)$$

即ち、入力画像信号と特定原稿の画像データが連続的に合致し、積分器a5011～積分器h5028の出力 $A_i$ が、レジスタ5021～5028の比較定数 $B_i$ を超えている期間、比較演算器a5001～比較演算器h5008の出力 $C_i$ は‘1’となる。逆に、 $A_i$ が $B_i$ 以下の期間、 $C_i$ は‘0’である。

【0031】カウンタa521～カウンタh528は、比較演算器a5001～比較演算器h5008から $C_i$ が入力され、それぞれ入力が‘1’のとき、クロックCLKに同期してカウントアップする。即ち、カウンタa521～カウンタh528のカウント値は、図9(a)に示す原稿画像中に、特定原稿画像(図の斜線部分)が含まれる場合に、図9(b)に示す特定原稿画像として、認識された領域(図の斜線部分)の画素数を表す。

【0032】OR書込み回路511は、比較演算器a5001～比較演算器h5008の出力 $C_1 \sim C_8$ をSRAM512にOR書込みする。なお、SRAM512は、判定ROM501と同じくデータ幅8ビット、アドレス幅15ビットの、RAMである。図10は、OR書込み回路511とSRAM512の、詳細な構成例を示  
50

\*8の入力 $x_j$ と出力 $y_j$ の関係の一例を示す図で、積分器に‘1’が入力されると、出力 $y_j$ は255に向かって増加し、逆に、積分器に‘0’が入力されると、出力 $y_j$ は0に向かって減少する。

【0027】図8は、積分器a5011～積分器h5018の詳細な構成例を示す図である。図8において、601と602は掛算器、603は加算器、604はラッチである。図7、図8において、入力を $x_j$ 、出力を $y_j$ とすると、(4)式の演算が行われる。

【0028】

※示の走査部によつて任意に設定するようにもできる。比較演算器a5001～比較演算器h5008は、それぞれ積分器a5011～積分器h5018からの入力と、レジスタ5021～5028からの入力(定数)とを比較し、それぞれ $C_1 \sim C_8$ の比較信号を出力する。比較信号 $C_i$ は、積分器からの入力を $A_i$ 、レジスタからの入力を $B_i$ とすると(5)式で表される。

【0030】

すブロック図である。

【0033】SRAM512の、アドレスバスの $A_0 \sim A_{14}$ には、各5ビットのRGB信号が入力され、データバスの $D_0 \sim D_7$ には、後述のOR演算後のデータ5120～5127が入力される。5112はタイミング信号発生回路で、図11に一例を示すタイミング信号を発生する。OR書込み回路511は、クロックCLK’に同期する読出し信号OEが‘0’期間に、アドレスバス $A_0 \sim A_{14}$ で指定されるアドレスのデータを、SRAM512のデータバス $D_0 \sim D_7$ から読出し、データバスに接続するラッチ回路でラッチする。続いて、入力信号5120～5127と、先にラッチしたデータとを、OR回路で論理和し、信号 $R_{10}$ が‘0’となつたところで、バッファからOR演算結果を出力する。このとき、同時に、書込み信号WEが‘0’となつていたので、OR演算結果はアドレスバス $A_0 \sim A_{14}$ で指定されるSRAM512のアドレスに書込まれる。なお、入力信号5120～5127は、それぞれ比較演算器a5001～比較演算器h5008の出力に接続している。

【0034】このようにして、例えば、入力信号512

0によつて順次入力される、比較演算器a5001の比較結果C1が、一度でも‘1’になれば、RGB各5ビットで指定される色空間の任意のアドレスに相当する、SRAM512のアドレスのビット0が‘1’になる。以下、同様に、他の入力信号5121~5127が、一度でも‘1’になれば、RGB各5ビットで指定される色空間の任意のアドレスに相当する、SRAM512のアドレスの、それぞれビット1~ビット7に‘1’が記録される。

【0035】このようにしてSRAM512に記録されたデータは、特定原稿画像の画像データと一致した、図12の斜線で示す観測画像データの、RGB空間での体積Tjdを表している。例えば、SRAM512のビット0の‘1’の総数は、1番目の特定原稿画像の画像データと一致した、RGB空間での観測画像データの体積である。以下、同様に、SRAM512のビット1~ビット7は、2番目から8番目の特定原稿画像の画像データと一致した、観測画像データの体積である。

【0036】図13は、CPU515による、特定原稿認識回路109の制御を説明するフローチャート例である。図13において、CPU515が原稿読取り開始の情報を検知すると、まずINH404を‘0’に設定する(S1201)。続いて、原稿画像の読取りが開始され(S1202)、変数nに1が設定される(S1203)。変数nは、RAM517にそのカウンタ値を格納するカウンタの番号を表し、このときn=1であるから、図4に示す1番目のカウンタa521のカウント値が、RAM517上の、変数areaで表されるアドレスに格納される(S1204)。

【0037】続いて、SRAM512のビットn-1の‘1’の総数が、RAM517上の、変数volに格納される(S1205)。ここで、変数volは、図12に示す観測画像データの体積Tjdを表す。続いて、変数areaの値が、所定の定数kを超えているか否かを判定する(S1206)。変数areaの値は、図9(b)に斜線で示す認識領域の画素数に対応する。従つて、変数areaの値を定数kと大小比較することにより、例えば紙幣原稿である可能性の有／無を判定する。即ち、area≥kがYESのとき、例えば紙幣原稿である可能性があるとして判定し、続いて類似度Rの判定に進む。逆に、area≥kがNOのとき、例えば紙幣原稿ではないと判定し、類似度Rの判定をパスする。

【0038】続いて、変数volの観測画像データの体積Tjdと、前もつて登録してある、図12に斜線で示す特定原稿画像データの体積Torgとを比較し、両データの類似度Rを算出し、定数βと比較する(S1207)。ここで、類似度Rは(6)式で表される。

$$R = Tjd / Torg \quad \text{ただし、} 0 \leq R \leq 1 \quad \dots (6)$$

類似度Rの値が1に近づくほど、観測画像データと特定原稿画像データの類似度が高いことを表す。

【0039】従つて、S1207では、Vol=Tjdより、(7)式の比較を行う。

$$vol / Torg < \beta \quad \dots (7)$$

(7)式において、定数βは実験的に定められる値で、色空間におけるマッチング率を示し、例えば、β=0.7などの値が設定される。S1207の結果がYESであれば、観測画像データが、特定原稿画像であると判定される。従つて、特定原稿画像を含む画像データを出力させないために、INH404を‘1’とする(S1208)。

【0040】S1207の結果がNOであれば、このときn=1であるから、1番目の特定原稿画像は含まれていないという判定になる。従つて、次の特定原稿画像を含むか否かの判定を行うため、変数nをインクリメントし(S1209)、変数nが8を超えるか、あるいはS1207の結果がYESとなるまで、S1204~S1210を繰返す。

【0041】以上の説明および図1から図13において、各5ビットのRGB信号を用いて説明したが、本実施例はこれに限定されるものではなく、判定ROM512やSRAM512などのアドレス幅を増加あるいは減少させ、他のビット数のRGB信号を用いてもよいことはいふまでもない。また、判定ROM511やSRAM512などのデータ幅を8ビットとし、前もつて登録できる特定原稿の画像データ数を8としたが、本実施例はこれに限定されるものではなく、判定ROM512やSRAM512などのデータ幅を増加あるいは減少させ、他のデータ幅とし、前もつて登録できる特定原稿の画像データ数を増加あるいは減少させてもよいことはいふまでもない。

【0042】以上説明したように、本実施例によれば、前もつて登録された、紙幣、商品券、有価証券などの複数の特定原稿の画像データと、入力原稿の画像データとを、所定の色空間上で同時に比較する。もし、入力原稿画像データが、前記複数の特定原稿のうちの一つでも含むと判定された場合、該入力原稿画像データの出力を不可能とするとともに、出力不可の情報を表示部113に表示させることができる。従つて、多種の特定原稿の偽造を同時に防止できる画像処理装置が実現できる。

【0043】

【第2実施例】以下、本発明に係る第2実施例を説明する。第2実施例においては、第1実施例と同様な構成については同一符号を付し詳細説明を省略する。図14は、本発明に係る第2実施例の構成例を示すブロック図

である。

【0044】特定原稿画像データと判定された画像データが、IPU102から出力されたものであるならば、画像出力制御回路110により、該画像データを出力不可能とし、表示部113に表示不可能の情報を表示するとともに、クリア信号124を送出する。クリア信号124により、IPU102内部のメモリ内の、特定画像データを含む画像データは消去される。

【0045】以上の説明および図14においては、IPU102を入力機器とする例について説明したが、本実施例はこれに限定されるものではなく、内部に画像データを記憶するメモリをもつ入力機器であればよいことはいうまでもない。以上説明したように、本実施例によれば、第1実施例と同様な効果が得られる他に、入力画像データを送ってきた入力機器内のメモリの、特定原稿画像を含む画像データを消去でき、さらに確実に、特定原稿の偽造を防止できる。

【0046】

【第3実施例】以下、本発明に係る第3実施例を説明する。特定原稿画像を含む画像データが、ホストコンピュータ103から送られてきたデータの場合、信号処理部100と、ホストコンピュータ103との間に、通信プロトコルを設定し、画像出力制御部110が出力する出力不可能情報を、該通信プロトコルによつて、ホストコンピュータ103に送出し、ホストコンピュータ103のCRTなどの上にも、出力不可能のメッセージを出力させる。

【0047】さらに、出力不可能のメッセージだけでなく、例えば、「入力原稿に紙幣画像が含まれるため・・・」などと、出力が不可能の原因をメッセージに含ませることもできる。以上の説明においては、ホストコンピュータ103を入力機器とする例について説明したが、本実施例はこれに限定されるものではなく、CRTなどの表示部をもつ入力機器であればよいことはいうまでもない。

【0048】以上説明したように、本実施例によれば、第1実施例と同様な効果が得られる他に、入力機器の表示部に出力不可能のメッセージを出力できるので、本装置のユーザに、原因を含めて、よりに確実に、出力不可能の情報を伝えることができる。なお、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器からなる装置に適用しても良い。また本発明は、システムあるいは装置にプログラムを供給することによつて、達成される場合にも適用できることはいうまでもない。

【0049】

【第4実施例】以下、本発明に係る第4実施例を説明する。

【装置外観】図15に、本発明に係る第4実施例の装置外観図の一例を示す。図15において、2201はイメ

ージスキャナで、原稿を読み取り、デジタル信号処理を行う部分である。また、2202はプリンタで、イメージスキャナ2201によつて読取られた原稿画像に対応した画像を、用紙にフルカラーで、印刷出力する部分である。

【0050】イメージスキャナ2201において、2200は鏡面圧板で、原稿台ガラス2203上の原稿2204は、ランプ2205で照射され、ミラー2206～2208に導かれ、レンズ2209によつて、3ラインセンサ2210上に像を結び、フルカラー情報、レッド(R)、グリーン(G)、ブルー(B)の各成分に分解され、各成分の光強度を表す信号として、信号処理部2211に送られる。なお、ランプ2205とミラー2206は速度 $v$ で、ミラー2207、2208は速度 $v/2$ で、3ラインセンサ2210の電氣的走査(主走査)方向に対して、垂直方向に機械的に動くことによつて、原稿全面が走査(副走査)され、読取られた原稿画像が信号処理部2211に送られる。

【0051】信号処理部2211において、読取られた画像信号は、一旦、画像メモリに蓄積された後に、電氣的に処理され、マゼンタ(M)、シアン(C)、イエロー(Y)、ブラック(K)の各成分に分解され、プリンタ2202に送られる。また、イメージスキャナ2201における、1回の原稿走査で読込まれた画像データについて、4回の読出し動作が行われ、それぞれ画像処理によつてM、C、Y、Kのうちの成分が生成され、プリンタ2202に送られ、計4回の読出しおよび処理によつて、1回のプリントアウトが完成する。

【0052】イメージスキャナ2201より送られてくるM、C、Y、Kの各画像信号は、レーザドライバ2212に送られる。レーザドライバ2212は、送られてきた画像信号に応じ、半導体レーザ2213を変調駆動する。レーザ光は、ポリゴンミラー2214、 $f-\theta$ レンズ2215、ミラー2216を介し、感光ドラム2217上に走査する。

【0053】2218は回転現像器で、マゼンタ現像部2219、シアン現像部2220、イエロー現像部2221、ブラック現像部2222より構成され、4つの現像部が交互に感光ドラム2217に接し、感光ドラム上に形成された静電潜像をトナーで現像する。2223は転写ドラムで、用紙カセット2224または2225より供給される用紙を巻付け感光ドラム2217上に現像された画像を用紙に転写する。

【0054】このようにして、M、C、Y、Kの4色が順次転写された後、用紙は、定着ユニット2226を通して、トナーが用紙に定着された後に排紙される。

【イメージスキャナ】図16は、イメージスキャナ2201の信号の流れの一例を示すブロック図である。

【0055】同図において、1210-1～3は、それぞれR、G、Bの分光感度特性をもつCCDセンサ(固



体撮像素子)で、図15に示す3ラインセンサ2210の中に組込まれ、それぞれA/D変換された、例えば8ビットの信号を出力する。従つて、R、G、B各色は、それぞれの光強度に応じて0~255の段階に区分される。

【0056】本実施例のセンサ1210-1~3は、一定の距離を隔てて配置されているため、デレイ素子1401および1402を用いて、その空間的ずれが補正される。1412は画像メモリで、センサ1210-1~3によつて読込まれた画像データを一旦蓄える。

【0057】1403~1405は対数変換器で、ROMまたはRAMによるルックアップテーブルとして構成され、画像メモリ1412より読出された画像データを、輝度信号から濃度信号へ変換する。1406は公知のマスクング/UCR(下色除去)回路で、詳しい説明は省略するが、入力された3信号により、出力のためのM、C、Y、Kの各信号を、各読取り動作の度に、面順次に、例えば8ビットなどの所定のビット長で出力する。

【0058】ここで、マスクング/UCR回路に別途入力される信号CNOは、表1に一例を示す2ビットの面順次信号で、4回の転写動作の順番を制御し、マスクング/UCR回路1406の動作条件を切替える。

【0059】

【表1】

CNO	プリント出力
0	マゼンタ (M)
1	シアン (C)
2	イエロー (Y)
3	ブラック (K)

1407は公知の空間フィルタ回路で、出力信号の空間周波数の補正を行う。1408は濃度変換回路で、プリント2202の濃度特性を補正するもので、対数変換器1403~1405と同様なROMまたはRAMで構成される。

【0060】一方、1409は特定原稿画像の判定回路で、複数の特定原稿画像のうちの少なくとも一つが、入力画像中に存在するか否かの判定を行い、判定信号Hを出力する。すなわち、入力画像中に、複数の特定原稿画像のうちの少なくとも一つが、存在すると判定したときは、判定信号H=1を、存在しないと判定したときは、H=0を出力する。CPU1411はHを受けて、コピー禁止信号NGを出力する。すなわち、H=1のとき、NG=1を、H=0のとき、NG=0を出力する。

【0061】なお、信号SNOは、判定する特定原稿画像の選択信号で、CPU1411より出力され、0から7まで順次切替えて、複数の特定原稿についての判定が

なされる。1410はORゲートで、濃度変換回路1408の出力Vと、CPU1411からのコピー禁止信号NGとの論理和V'を出力する。

【0062】結果として、判定信号H=1のとき、すなわち、入力画像中に特定原稿画像が存在すると判定された場合には、信号Vの値にかかわらず、例えば、出力V'=FF(255)となり、M、C、Y、Kの全てのトナーが、全面に現像/転写され、出力画像は黒く塗りつぶされる。逆に、H=0のとき、すなわち、入力画像中に特定原稿画像が存在しないと判定された場合には、信号Vがそのまま出力V'として出力される。

【0063】[判定手段]図17、図18は判定回路1409の構成例を示すブロック図である。1301は図19(a)に一例を示すような間引き回路で、判定回路1409の処理の負荷を軽減するために、入力画像の一部のデータを間引いた、画像データを出力する。

【0064】1310は色味マッチング回路で、色味マッチング・ルックアップテーブル用のRAM1302、トライステイトゲート1311~1313、インバータ1314、制御回路1315、および、装置本体の電源オン・オフの状態にかかわらず、RAM1302の記憶内容を保持するための、バッテリー1316より構成される。

【0065】RAM1302には、複数種類の特定原稿との色味のマッチングを行うべく、予め64種類の特定原稿についての色味分布を調べ、入力画像の色味と、特定原稿画像の色味とが、一致するか否かの判定情報が保持されている。なおかつ、RAM1302に記憶された判定情報は、バッテリー1316により、装置本体の電源が切られた場合も保持される。

【0066】制御回路1315は、制御信号としてWEとMSELを出力し、RAM1302の読み書き制御、およびトライステイトゲート1311~1313の制御を行う。制御回路1315の制御には次の二つのモードがある。

(1) RAM1302がルックアップテーブルとして動作する通常制御モード

(2) RAM1302を書換えるRAM書換モード通常制御モードにおいて、制御回路1315は、MSELを“1”に固定することで、トライステイトゲート1311には信号を通過させ、トライステイトゲート1312と1313には信号を通過させないようにし、かつRAM1302の端子OEを“0”にする。さらに信号WEを“1”に固定する。従つて、RAM1302は、データ出力イネイブル状態にあり、ルックアップテーブルとして作用する。

【0067】RAM1302のアドレス端子の、上位3ビットには、CPU1411からの選択信号SNOが、下位15ビットには、間引かれたRGB各色の画像信号の、それぞれ上位5ビットが入力される。SNOの値は

0～7に順次切換えられ、入力画像の当該画素の色味が、8種類の特定原稿画像の色味と一致するか否かを、8ビットのデータに対応させて同時に出力し、SNOの値が0から7における計8回の判定動作において、合計64種類の特定原稿に対する判定が行われる。

【0068】すなわち、本発明において特徴的なことは、選択信号SNOを順次切換え、繰返し判定することにより、簡単なハードウェアで、多種の特定原稿の判定を行うことができることである。さらに、判定すべき特定原稿の種類を、例えば64種類から128種類へ増やす場合にも、選択信号SNOによる判定の繰返し回数を増やせばよく、ハードウェアの負担増が大きいことが特色である。

【0069】1303-1～8は、それぞれ同じハードウェアで構成される色味判定回路で、積分器1306、レジスタ1307、比較器1308より構成され、それぞれ、入力画像中に特定原稿画像が存在するか否かの判定をする。色味判定回路1303-1～8の出力は、入力画像中に、それぞれが対象とする特定原稿画像が存在すると判定されるとき“1”となり、存在しないと判定されるとき“0”となる。

【0070】1309はORゲートで、色味判定回路1303-1～8の出力のうち一つでも“1”となると、判定信号H=1を、色味判定回路1303-1～8のすべての出力が“0”のときは、H=0を出力する。一方、RAM書換モードにおいて、制御回路1315は、外部より転送されたデータに基づき、RAM1302を書換える。すなわち、信号MSELを“0”に固定することで、トライステイトゲート1311には信号を通過させないようにし、トライステイトゲート1312と1313には信号を通過させ、かつRAM1302の端子OEを“1”にする。さらに信号WEを“0”に固定する。従つて、RAM1302は、データ書込みイネイブル状態にあり、アドレス信号A1の示すRAM1302のアドレスのデータは、データ信号D1に書換えられる。さらに、一旦、更新されたRAM1302の記憶内容は、バッテリー1316によつて、装置本体の電源とは独立に保持され、装置本体の電源が切られても、次に更新されるまで保持されている。

【0071】[タイミングチャート] 図20は、本実施例の通常制御モードにおける主走査タイミングチャート例である。HSYNCは主走査同期信号で、主走査開始の同期をとる信号である。CLKは画像の転送クロックで、本実施例における諸々の画像処理の基本クロックである。

【0072】一方、CLK'は、CLKを4分周したもので、判定回路1409における基本クロックである。信号SELは、前述の間引き回路1301で用いられるタイミング信号である。CLK'とSELは、図19(b)に構成例を示す、分周回路1310で生成され

る。すなわち、インバータ1451、2ビットカウンタ1452、インバータ1453、ANDゲート1454より構成され、2ビットカウンタ1452は、HSYNCにより、クリア(初期化)された後、CLKをカウントし、2ビットでそのカウント値を出力する。その上位ビットD1がCLK'として出力され、下位ビットD0を反転した信号と、上位ビットD1との論理積が、SELとして出力される。

【0073】図19(a)に構成例を示す間引き回路1301は、CLKでデータを保持するフリップフロップ(以下「F/F」とよぶ)1455～1457および1461～1463、セレクト1458～1460、CLK'でデータを保持するF/F1464～1466で構成され、図20に一例を示すように、CLKで転送されるR(またはG、B)信号の中から、1/4の割合で、CLK'に同期したR'(またはG'、B')信号を得ることができる。

【0074】[積分器] 図21は積分器1306の構成例を示すブロック図である。1501および1505はF/Fで、CLK'の立上がりでデータを保持する。1502は乗算器で、8ビットの2信号(A、B)を入力し、乗算結果として8ビット信号(A×B/255)を出力する。1503も乗算器で、1ビットの信号(A)と8ビットの信号(B)を入力し、乗算結果として8ビットの信号(A×B)を出力する。

【0075】1504は加算器で、8ビットの2信号(A、B)を入力し、加算結果として8ビット信号(A+B)を出力する。結果として、積分器1306の、2値入力信号 $x_i$ と8ビット出力信号 $y_i$ の関係は次式で表される。

$$y_i = (\alpha/255) y_{i-1} + \beta x_{i-1} \cdots (8)$$

上式で、 $\alpha$ と $\beta$ は、予め設定されている定数で、これらの値の大きさによつて、積分器1306の諸特性が決定される。

【0076】例えば、 $\alpha=247$ 、 $\beta=8$ の場合の、積分器1306の入出力の一例を図22に示す。すなわち、図22(a)に示すような入力 $x_i$ に対して、図22(b)に示すような出力 $y_i$ が出力される。図22において、701と702に示すような、前後がほとんど“0”であるにもかかわらず“1”であるような入力 $x_i$ や、703に示すような、前後がほとんど“1”であるにもかかわらず“0”であるような入力 $x_i$ は、ノイズであると考えられる。入力 $x_i$ を、積分器1306で積分した $y_i$ を、レジスタ1307にセットされた、図22(b)の704に一例を示すような適当な閾値により、比較器1308で2値化することで、上記のようなノイズを除去することができる。

【0077】図16に示すCPU1411には、この2値化された信号が判定信号Hとして入力される。入力画像中に特定原稿画像が存在すると判定された場合、H

=1となるが、CPU1411はこれを受けて、コピー禁止信号NG=1にセットする。入力画像中に特定原稿画像が、存在しないと判定された場合には、H=0のままであり、CPU1411はこれを受けて、NG=0のままにする。

【0078】〔フローチャート〕図23は本実施例の処理手順の一例を示すフローチャートである。まず、ステップ801で、原稿画像を読取り、画像メモリ1412へ読込んだ画像を蓄積する。次に、ステップ802で、画像メモリ1412の入力画像に対して、特定原稿画像判定を行う。

【0079】次に、ステップ803で、入力画像中に特定原稿画像が、存在すると判定された場合、ステップ804に移り、CPU1411はコピー禁止信号NGを“1”にセットし、存在しないと判定された場合、ステップ805に移り、CPU1411はNGを“0”にセットする。さらに、ステップ806で、画像メモリ1412内の画像データを読出し、マゼンタ信号を生成し出力する。

【0080】次に、ステップ807、808、809で、順次、画像メモリ1412内の画像データが読出され、シアン、イエロー、ブラック信号が生成され出力される。

【0081】

【第5実施例】第4実施例においては、入力画像中に特定原稿画像が存在すると判定された場合、出力画像を黒く塗りつぶしたが、本発明はこれに限るものではない。以下、本発明に係る第5実施例を説明する。なお、第5実施例においては、第4実施例と同様な構成については同一符号を付し詳細説明を省略する。

【0082】図24は本実施例の処理の流れの一例を示すフローチャートである。まず、ステップ901で、原稿画像を読取り、画像メモリ1412に読込み画像を蓄積する。次に、ステップ902で、画像メモリ1412内の入力画像に対して、特定原稿画像判定を行う。

【0083】次に、ステップ903で、入力画像中に特定原稿画像が、存在すると判定された場合は、画像出力を禁止し、処理を終了し、存在しないと判定された場合は、次のステップに移り画像を出力する。すなわち、ステップ904に移り、画像メモリ1412内の画像データを読出し、マゼンタ信号を生成し出力する。

【0084】次に、ステップ905、906、907で、順次、画像メモリ1412内の画像データが読出され、シアン、イエロー、ブラック信号が生成され出力される。

【0085】

【第6実施例】さらに、本発明に係る第6実施例として、読込まれた画像を符号化してメモリに蓄え、出力するカラー複写機について説明する。

〔装置概要説明〕図25に第6実施例における装置外觀図の一例を示す。

【0086】1201は原稿台ガラスで、読取られるべき原稿1202が置かれる。原稿1202は、照明1203により照射され、ミラー1204~1206を経て、光学系1207により、CCD1208上に像が結ばれる。さらに、モータ1209により機械的に、ミラー1204、照明1203を含むミラーユニット1210は速度vで、ミラー1205、1206を含む第2ミラーユニット1211は速度v/2で駆動され、原稿1202の全面が走査される。

【0087】1212は画像処理部で、読取った画像を電気信号として処理し、印刷信号として出力する部分である。1213~1216は半導体レーザで、画像処理部1212より出力された印刷信号により駆動され、それぞれの半導体レーザによつて発光されたレーザ光は、ポリゴンミラー1217~1220によつて、感光ドラム1225~1228上に潜像を形成する。1221~1224は、K、Y、C、Mのトナーによつて、それぞれ潜像を現像するための現像器で、現像された各色のトナーは、用紙に転写され、フルカラーの印刷出力がなされる。

【0088】用紙カセット1229~1231、および手差しトレイ1232の何れかから給紙された用紙は、レジストローラ1233を経て、転写ベルト1234上に、吸着され、搬送される。給紙のタイミングと同期して、予め感光ドラム1228~1225には、各色のトナーが現像されており、用紙の搬送とともに、トナーが用紙に転写される。

【0089】各色のトナーが転写された用紙は、転写ベルト1234から分離搬送され、定着器1235によつて、用紙にトナーが定着され、排紙トレイ1236に排紙される。

〔画像信号の流れ〕図26、図27は画像処理部1212の信号の流れの一例を示すブロック図である。

【0090】1101~1103はそれぞれR、G、BのCCDセンサで、センサ1101~1103の出力は、アナログ増幅器1104~1106で増幅され、A/D変換器1107~1109により、それぞれデジタル信号に変換される。1110~1111はダイレイ素子で、センサ1101~1103の間の、空間的ずれを補正するものである。

【0091】1151~1156はトライステイトゲートで、変倍処理の内容によつて、不図示のCPUから送られてくる信号OE1~OE6が“0”のとき、それぞれの入力信号を通過させる。表2は、変倍内容と信号OE1~OE6の関係の一例を示す。

【0092】

〔表2〕

	拡大処理の場合 (第1のモード)	縮小処理の場合 (第2のモード)
OE1	0	1
OE2	1	0
OE3	0	1
OE4	1	0
OE5	1	0
OE6	0	1

1157~1160は変倍回路で、画像信号を主走査方向に変倍する。

【0093】1112は色空間変換器で、RGB信号を、明度信号 $L^*$ と色度信号 $a^*$ および $b^*$ に変換する\*

\*のである。ここで $L^* a^* b^*$ 信号は、CIEで $L^* a^* b^*$ 空間として規定される色空間の、色度成分を表す信号である。 $L^* a^* b^*$ 信号は次式で表される。

$$\begin{bmatrix} L^* \\ a^* \\ b^* \end{bmatrix} = \begin{bmatrix} 0 & \alpha_{12} & 0 \\ \alpha_{21} & \alpha_{23} & 0 \\ 0 & \alpha_{32} & \alpha_{33} \end{bmatrix} \begin{bmatrix} (X/X_0)^{1/3} \\ (Y/Y_0)^{1/3} \\ (Z/Z_0)^{1/3} \end{bmatrix} + \begin{bmatrix} \alpha_{14} \\ 0 \\ 0 \end{bmatrix} \quad \dots (9)$$

ただし $\alpha_{ij}$ ,  $X_0$ ,  $Y_0$ ,  $Z_0$ は定数上式の $X$ ,  $Y$ ,  $Z$  ※り表される。  
は、RGB信号を演算して生成される信号で、次式によ※ 【0094】

$$\begin{bmatrix} X \\ Y \\ Z \end{bmatrix} = \begin{bmatrix} \beta_{11} & \beta_{12} & \beta_{13} \\ \beta_{21} & \beta_{22} & \beta_{23} \\ \beta_{31} & \beta_{32} & \beta_{33} \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} \quad \dots (10)$$

ただし $\beta_{ij}$ は定数1113は明度信号の符号化器aで、信号 $L^*$ を $4 \times 4$ の画素ブロック単位で符号化し、符号信号 $L$ -codeを出力する。1114は色度信号の符号化器bで、信号 $a^*$ ,  $b^*$ を $4 \times 4$ の画素ブロック単位で符号化し、符号信号 $a b$ -codeを出力する。

【0095】一方、1115は特徴抽出回路で、当該画素に対し、2種類の特徴の有無を検出する。第1の特徴は黒画素で、黒画素検出回路1115-1で、当該画素が黒画素であるか否かの判定信号 $K1'$ を発生する。さらに信号 $K1'$ は、 $4 \times 4$ エリア処理回路1115-3に入力され、 $4 \times 4$ の画素ブロック内が、黒画素エリアであるか否かの判定信号 $K1$ となる。

【0096】第2の特徴は文字画素で、文字領域検出回路1115-2で、当該画素が文字画素であるか否かの判定信号 $K2'$ を発生する。さらに信号 $K2'$ は、 $4 \times 4$ エリア処理回路1115-4に入力され、 $4 \times 4$ の画素ブロック内が、文字領域であるか否かの判定信号 $K2$ となる。1116は画像メモリで、明度符号信号 $L$ -code、色度符号信号 $a b$ -code、特徴抽出の結果である判定信号 $K1$ および $K2$ が蓄えられる。

【0097】1141~1144は、それぞれM, C, Y, K用の濃度信号生成部で、1141~1144は同様の構成をとる。1117は明度情報の復号器で、画像

メモリ1116より読出された $L$ -codeから信号 $L^*$ を復号し、1118は色度情報の復号器で、画像メモリ1116より読出された $a b$ -codeから信号 $a^*$ と $b^*$ を復号する。1119は色空間変換器で、復号された信号 $L^*$ ,  $a^*$ ,  $b^*$ を、トナー現像色であるM, C, Y, Kの各色成分へ変換する。1120は濃度変換器で、ROMまたはRAMのルックアップテーブルで構成される。1121は空間フィルタで、出力画像の空間周波数の補正を行う。

【0098】一方、1161は、1117と同様の復号回路で、明度信号 $L^*$ を復号する。1162は、1118と同様の復号回路で、色度信号 $a^*$ と $b^*$ を復号する。1163は色空間変換器で、前記(9)式および(10)式の逆変換を行い、 $L^* a^* b^*$ 信号をRGB信号に変換する。1164は、図16の1409と同様の、特定原稿画像の判定回路で、入力画像中の特定原稿画像の有無を、第4実施例と同様の方法で判定する。

【0099】[フローチャート] 図28は本実施例の処理の流れの一例を示すフローチャートである。まず、ステップ711で、原稿画像を読取り、画像メモリ1116に読込んだ画像を蓄積する。次に、ステップ712で、画像メモリ1116内の入力画像に対して、特定原稿画像判定を行う。

【0100】次に、ステップ713で、入力画像中に特定原稿画像が、存在すると判定された場合は、画像出力を禁止し、処理を終了し、存在しないと判定された場合は、次のステップ714に移り、画像を出力し、処理を終了する。以上説明したように、本発明に係る上記第4実施例～第6実施例によれば、複数の特定原稿のうち、少なくとも一つ特定原稿画像が、入力画像中に存在するか否かを判定する画像処理装置で、画像を一旦メモリに蓄えた後に出力する画像処理装置において、メモリ中の画像データに対し、特定原稿画像の有無を判定し、さらに判定対象とする特定原稿画像の種類を、順次切換え、繰返し判定することで、判定されるべき特定原稿の数を増やしても、ハードウェアの大きな負担増にはならないという効果がある。

#### 【0101】

【第7実施例】以下、本発明に係る第7実施例を説明する。第7実施例においては、第6実施例と同様な構成については同一符号を付し詳細説明を省略する。 \*

$$t1=d1/v, t2=d2/v, t3=d3/v \dots (11)$$

ただし、vは紙送り速度

信号HSYNCは主走査同期信号、信号CLKは画素同期信号である。信号YPHSは、2ビットの、主走査カウンタのカウント値で、図30に示すインバータ1001と2ビットカウンタ1002、1003で構成される回路で発生させる。

【0104】信号BLKは4×4画素ブロック単位の同期信号で、BDATAで示されるタイミングで4×4のブロック単位に処理がなされる。

【画像信号の流れ】図31、図32は画像処理部1212の信号の流れの一例を示すブロック図である。

【0105】1171は特定原稿画像の判定回路で、入力画像中の特定原稿画像の有無を、第4実施例と同様の方法で判定する。1170は本実施例を制御するCPUで、判定回路1171からの判定結果信号Hが入力される。

【拡大処理の場合】拡大処理を行う第1のモードでは、符号化（圧縮）処理の前段で変倍処理を行う。そのために、前述の表2に示すように、OE1、OE3、OE6の3つの信号にはそれぞれ“0”が、OE2、OE4、OE5の3つの信号にはそれぞれ“1”がセットされ、トライステイトゲートのうち、1151、1153、1156は入力信号を通過させ、1152、1154、1156は入力信号を通過させない。

【0106】その結果、遅延素子1110、1111により同期合わせされたRGB画像信号は、まず、トライステイトゲート1151を経て変倍回路1157～1159で拡大処理される。ここで、変倍処理回路の詳細な動作は、例えば特願平1-199344号に記載されている。次に、拡大処理されたRGB画像信号は、トライステイトゲート1153を経て、色空間変換器1112

\*【装置概要説明】本実施例における装置外観図の一例は、図25に示す第6実施例の装置外観図の一例と同様であり、詳細説明を省略する。

【0102】【像形成タイミングチャート】図29は本実施例における像形成にかかわるタイミングチャート例である。図29において、信号STARTは原稿読取り動作開始を示す信号である。信号WPEはイメージスキャナが、原稿画像を読取り、符号化処理およびメモリ書込みを行う区間を表す。信号ITOPは印刷動作の開始を示す信号で、信号MPE、CPE、YPE、KPEは、図25に示す、マゼンタ半導体レーザ1216、シアン半導体レーザ1215、イエロー半導体レーザ1214、ブラック半導体レーザ1213を、それぞれ駆動する区間信号である。

【0103】図29に示すように、CPE、YPE、KPEは、MPEに対して、それぞれ時間t1、t2、t3だけ遅延されており、これは図25に示す距離d1、d2、d3に対し、次式の関係に制御される。

20 および特徴抽出回路1115に送られる。符号化器1113、1114により符号化された、画像符号化信号L-code、a-b-codeと、特徴抽出回路1115で抽出された、特徴信号K1、K2とは、画像メモリ1116に送られ保持される。

【0107】画像メモリ1116から読出された符号は、それぞれM、C、Y、K用の濃度信号生成部1141～1144で、濃度画像信号に復号（伸張）され、トライステイトゲート1156を経て、それぞれM、C、Y、Kのレーザドライバへ送られる。

30 【縮小処理の場合】縮小処理を行う第2のモードでは、符号化（圧縮）処理の前段で変倍処理を行う。そのために、前述の表2に示すように、OE2、OE4、OE5の3つの信号にはそれぞれ“0”が、OE1、OE3、OE6の3つの信号にはそれぞれ“1”がセットされ、トライステイトゲートのうち、1152、1154、1155が有効になり、1151、1153、1156は無効となる。

【0108】その結果、遅延素子1110、1111で同期合わせされたRGBの画像信号は、まずトライステイトゲート1152を経て、色空間変換器1112および特徴抽出回路1115に送られる。符号化器1113、1114により符号化された、画像符号化信号L-code、a-b-codeと、特徴抽出回路1115で抽出された、特徴信号K1、K2とは、画像メモリ1116に送られ保持される。

【0109】画像メモリ1116から読出された符号は、それぞれM、C、Y、K用の濃度信号生成部1141～1144で、濃度画像信号に復号（伸張）され、トライステイトゲート1155を経て、変倍回路1157～1160で縮小処理される。縮小処理された画像信号

は、トリステイタゲート1154を経て、それぞれM, C, Y, Kのレーザドライバへ送られる。

【0110】[エリア処理] 図33は4×4エリア処理回路1115-4の構成例を示すブロック図である。図33において、CLKは画素同期信号、HSYNCは主走査同期信号である。901～903はラインメモリで、1ライン分の遅延を与える。X1, X2, X3の各信号は、入力信号Xに対して、それぞれ副走査方向に1ライン, 2ライン, 3ライン分遅延している。904と909は加算器、905～908はF/Fで、結果として、2値信号Xの副走査方向4画素に対応するX, X1, X2, X3の中で、“1”であるものの数をカウントする。

【0111】910は2入力1出力のセクタ、911はNORゲート、912はF/Fで、XPHSのビット0とXPHSのビット1から生成した信号BLKに同期して、4×4ブロック単位で、カウントされたX=1である画素数C1が算出され、レジスタ913に、予めセットされている比較値C2と比較され、C1>C2のとき出力Yは“1”となり、C1≤C2のとき出力Yは“0”となり、図29のBDATAに示されるタイミングで、Yを出力する。

【0112】ここで、特徴的なことは、符号化によつて得られた符号信号L-code, a-b-codeと、特徴抽出回路によつて抽出された特徴信号K1, K2とが、図34に示す4×4のブロック単位で、1対1に対応していることである。すなわち、4×4の各画素ブロック単位に、画像符号と特徴信号を抽出し、メモリの同一アドレス、または同一アドレスより算出されるアドレスに格納し、読出す場合においても、それぞれ対応して読出すことができる。

【0113】すなわち、画像情報と特徴(属性)情報と\*

\*を対応させてメモリの同一アドレス、または同一アドレスより算出されるアドレスに格納することで、例えば、メモリの書込みおよび読出し制御回路の共通化・簡略化が可能であり、また、メモリ上で変倍/回転などの編集処理を行う場合にも、簡単な処理で行うことができ、システムの最適化を行うことができる。

【0114】図35は、文字画素検出に関する具体的なエリア処理の例を示す。例えば、図35(a)に示すような原稿1201の、画像の一部分1201-1について、各画素が文字画素か否かの判定を、文字領域検出回路1115-2で行った結果を同図(b)に表す。同図(b)の、○印で示される画素は、文字領域検出回路1115-2で検出された画素で、同画素に対応する出力はK2'=1であり、それ以外の画素に対応する出力はK2'=0である。

【0115】この判定結果を、エリア処理回路1115-4で、図33に示すレジスタ913に、例えばC2=4をセットし、エリア処理をすることにより、それぞれの4×4ブロックにおいて、文字画素と判定された画素が5つ以上あるときは、文字領域のブロックと判定され、文字画素と判定された画素が4つ以下のときは、文字領域のブロックではないと判定される。

【0116】エリア処理回路1115-4の出力は、同図(c)に一例を示すような、ノイズの軽減された信号K2となる。同様に、黒画素検出回路1115-1の判定結果K1'についても同様のエリア処理回路1115-3で処理することにより、4×4ブロックに対応した信号K1を得ることができる。

【0117】[色空間変換器] 図36は色空間変換器1119の構成例を示すブロック図である。2501はL\*a\*b\*信号をRGB信号に変換する色空間変換器で、次式により変換が行われる。

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} \beta_{11}' & \beta_{12}' & \beta_{13}' \\ \beta_{21}' & \beta_{22}' & \beta_{23}' \\ \beta_{31}' & \beta_{32}' & \beta_{33}' \end{bmatrix} \begin{bmatrix} X \\ Y \\ Z \end{bmatrix} \cdots (12)$$

$$\begin{bmatrix} X \\ Y \\ Z \end{bmatrix} = \begin{bmatrix} x^1 \cdot X0 \\ y^1 \cdot Y0 \\ z^1 \cdot Z0 \end{bmatrix} \cdots (13)$$

$$\begin{bmatrix} x \\ y \\ z \end{bmatrix} = \begin{bmatrix} \alpha_{11}' & \alpha_{12}' & \alpha_{13}' \\ \alpha_{21}' & \alpha_{22}' & \alpha_{23}' \\ \alpha_{31}' & \alpha_{32}' & \alpha_{33}' \end{bmatrix} \begin{bmatrix} L^* - \alpha_{14} \\ a^* - \alpha_{24} \\ b^* - \alpha_{34} \end{bmatrix} \cdots (14)$$

なお、(12)式の $\beta_{ij}'$ ( $i, j=1, 2, 3$ )は、(10)式の $\beta_{ij}$ ( $i, j=1, 2, 3$ )の逆行列である。また(14)式の $\alpha_{ij}'$ ( $i, j=1, 2, 3, 4$ )は、(9)式の $\alpha_{ij}$ ( $i, j=1, 2, 3, 4$ )の逆

行列である。

【0118】2502～2504はそれぞれ対数変換器で、次式の変換を行う。

$$\left. \begin{array}{l} M1 = -\log_{10} G \\ C1 = -\log_{10} R \\ Y1 = -\log_{10} B \end{array} \right\} \dots (15)$$

2514は黒抽出回路で、次式で黒信号K1が生成される。

$$* [0119]$$

$$K1 = \min(M1, C1, Y1) \dots (16)$$

2505~2508はそれぞれ乗算器で、M1, C1, Y1, K1の各信号に、所定の係数a1, a2, a3, a4が掛けられた後、加算器2515において加算される。(17)式は加算器2515からの出力Mを表す。

$$M = a1 \cdot M1 + a2 \cdot C1 + a3 \cdot Y1 + a4 \cdot K1 \dots (17)$$

2509~2513はレジスタで、濃度信号生成部m1141の同レジスタには、a11, a21, a31, a41, 0が、濃度信号生成部c1142の同レジスタには、a12, a22, a32, a42, 0が、濃度信号生成部y1143の同レジスタには、a13, a23, a33, a43, 0が、濃度信号生成部k1144の同レジスタには、a14, a24, a34, a44, a14' がセットされている。

【0120】2531~2533はANDゲート、2530は2入力1出力のセレクタ、2520はNANDゲ※

※一で、結果的に、信号K1とK2の論理積から、当該画素が黒文字領域に含まれるかを調べ、表3に一例を示すような、a1, a2, a3, a4の各値が選択される。さらに、当該画素が、黒文字領域に含まれないときは、下記の(18)式の処理が行われ、黒文字領域に含まれるときは、下記の(19)式の処理が行われる。

$$[0121]$$

【表3】

K1 AND K2	現色	a1	a2	a3	a4	備考
0	M	a11	a21	a31	a41	非黒文字部M現像
	C	a12	a22	a32	a42	非黒文字部C現像
	Y	a13	a23	a33	a43	非黒文字部Y現像
	K	a14	a24	a34	a44	非黒文字部K現像
1	M	0	0	0	0	黒文字部M現像
	C	0	0	0	0	黒文字部C現像
	Y	0	0	0	0	黒文字部Y現像
	K	a14'	0	0	0	黒文字部K現像

$$\begin{bmatrix} M \\ C \\ Y \\ K \end{bmatrix} = \begin{bmatrix} a11 & a21 & a31 & a41 \\ a12 & a22 & a32 & a42 \\ a13 & a23 & a33 & a43 \\ a14 & a24 & a34 & a44 \end{bmatrix} \begin{bmatrix} M1 \\ C1 \\ Y1 \\ K1 \end{bmatrix} \dots (18)$$

$$\begin{bmatrix} M \\ C \\ Y \\ K \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ a14' & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} M1 \\ C1 \\ Y1 \\ K1 \end{bmatrix} \dots (19)$$

すなわち、黒文字領域では、(19)式に示すように、K単色で出力することで、色ずれのない出力を得ること 50 ができる。一方、黒文字領域以外では、(18)式に示すように、MCYKの4色で出力することになるが、

(18) 式の演算によつて、CCDセンサで読込まれたRGB信号に基づいたM1, C1, Y1, K1信号を、トナーの分光分布特性に基づいたMCYK信号に補正して出力する。

【0122】[空間フィルタ] 図37は空間フィルタ1121の構成例を示すブロック図である。図37において、801, 802はラインメモリで、1ライン分の遅延を与え、803~809はF/Fで、1画素分の遅延を与える。810, 811は加算器、812~814はそれぞれ乗算器で、それぞれ係数b1, b0, b2が掛けられた後、加算器815において加算される。

【0123】一方、816~821はそれぞれレジスタで、予めb11, b12, b01, b02, b21, b22なる値が、それぞれのレジスタに保持されていて、セクタ8\*

\*22~824により、当該画素が文字領域に含まれることを示す信号K2に従つて、b1, b0, b2に値がセットされる。下記の表4に、K2とb0, b1, b2の値の関係を示す。例えば、b01=4/8, b11=1/8, b21=1/8, b02=12/8, b12=-1/8, b22=-1/8なる値を、予めレジスタ816~821にセットしておいた場合、表4に示すように、K2=0(すなわち非文字領域画素)においては、スムージングフィルタを形成し、画像中の高周波成分のノイズを除去する。他方、K2=1(すなわち文字領域画素)においては、エッジ強調フィルタを形成し、文字のエッジ部分を強調する。

【0124】

【表4】

K2	b1	b2	b3	フィルタの形
0	$4/8$ =b01	$1/8$ =b11	$1/8$ =b21	$\frac{1}{8} \begin{bmatrix} & 1 & \\ 1 & 4 & 1 \\ & 1 & \end{bmatrix}$ スムージング フィルタ
1	$12/8$ =b01	$-1/8$ =b12	$-1/8$ =b22	$\frac{1}{8} \begin{bmatrix} & -1 & \\ -1 & 12 & -1 \\ & -1 & \end{bmatrix}$ エッジ 強調 フィルタ

【画素補正手段】 図38は画素補正回路の構成例を示すブロック図である。

【0125】 図38において、CLKは画素同期信号で、HSYNCは水平同期信号である。401, 402はラインメモリで、1ライン分の遅延を与える。403~411はF/Fで、それぞれ1画素分の遅延を与える。結果的に、図39(c)に示すように、注目画素X22と、X22を中心とする周辺の7画素X11, X12, X13, X21, X23, X31, X32, X33の、合計8画素を出力する。

【0126】 411~414は画素エッジ検出回路で、図39(b)に示されるように、A, B, Cの3入力に対して、 $|A-2B+C|/2$ なる値を出力する。4つの画素エッジ検出回路の、入力端子Bには、全て注目画素X22が入力されている。エッジ検出回路411の入力端子AとCには、それぞれX12とX32が入力され、結果として、 $a=|X12-2 \cdot X22+X32|/2$ が出力されるが、aは、図39(c)のθ1に示す、副走査方向の2次微分量の絶対値となり、θ1(副走査)方向のエッジの強さを表す。

【0127】 エッジ検出回路412の入力端子AとCには、それぞれX11とX33が入力され、結果として、 $b=|X11-2 \cdot X22+X33|/2$ が出力されるが、bは、図39(c)のθ2に示す、右斜め下方向の2次微分量の絶対値となり、θ2(右斜め下)方向のエッジの強さを表す。

エッジ検出回路413の入力端子AとCには、それぞれX21とX23が入力され、結果として、 $c=|X21-2 \cdot X22+X23|/2$ が出力されるが、cは、図39(c)のθ3に示す、主走査方向の2次微分量の絶対値となり、θ3(主走査)方向のエッジの強さを表す。

【0128】 エッジ検出回路414の入力端子AとCには、それぞれX31とX13が入力され、結果として、 $d=|X31-2 \cdot X22+X13|/2$ が出力されるが、dは、図39(c)のθ4に示す、右斜め上方向の2次微分量の絶対値となり、θ4(右斜め上)方向のエッジの強さを表す。図38に示す415は最大値検出回路で、a, b, c, dの4入力に対して、どの入力か最大の判定をし、2ビットの判定結果yを出力する。

【0129】 図40は最大値検出回路415の詳細な構成例を示すブロック図である。図40において、421は比較器で、入力aと入力bを比較し、 $a>b$ のとき“1”を、 $a \leq b$ のとき“0”を出力する。422は2入力1出力のセクタで、入力端子A, Bにそれぞれ入力a, bを、セレクト端子Sに比較器421の比較結果を入力し、結果的に、aまたはbの、最大値max(a, b)を出力する。

【0130】 同様に、比較器423からは、入力cと入力dの比較結果が、セクタ424からは、cまたはdの、最大値max(c, d)が出力される。さらに、最大値max(a, b)と、最大値max(c, d)とを比較し、その最大値を出力する。



29

d) とは、比較器425によつて比較され、信号y1を出力する。結果として、入力a, b, c, dのうちで、aまたはbが最大のときy1=1となり、cまたはdが最大のときy1=0となる。

【0131】428はインバータ、426, 427, 429はそれぞれ2入力のNANDゲートで、結果として、入力a, b, c, dのうちで、aまたはcが最大のときy0=1となり、bまたはdが最大のときy0=0となる。すなわち、a, b, cまたはdの最大値max(a, b, c, d)によつて、次の関係で、2ビット出力y1y0を出力する。

【0132】

max(a, b, c, d) = a のとき y1y0 = 11

max(a, b, c, d) = b のとき y1y0 = 10

max(a, b, c, d) = c のとき y1y0 = 01

max(a, b, c, d) = d のとき y1y0 = 00

図38に示す416~419はそれぞれ平滑化回路で、図39(a)に示すように、A, B, Cの3入力に対して、 $(A + 2B + C) / 4$ なる値を出力する。4つの平滑化回路416~419の入力端子Bには、全て注目画素X22が入力される。

【0133】平滑化回路416の入力端子AとCには、それぞれX12とX32が入力され、結果として、 $a' = (X12 + 2 \cdot X22 + X32) / 4$ が出力されるが、 $a'$ は、図39(c)の $\theta 1$ に示す副走査方向に、平滑化処理が施された出力である。平滑化回路417の入力端子AとCには、それぞれX11とX33が入力され、結果として、 $b' = (X11 + 2 \cdot X22 + X33) / 4$ が出力されるが、 $b'$ は、図39(c)の $\theta 2$ に示す右斜め下方向に、平滑化処理が施された出力である。

【0134】平滑化回路418の入力端子AとCには、それぞれX21とX23が入力され、結果として、 $c' = (X21 + 2 \cdot X22 + X23) / 4$ が出力されるが、 $c'$ は、図39(c)の $\theta 3$ に示す主走査方向に、平滑化処理が施された出力である。平滑化回路419の入力端子AとCには、それぞれX31とX13が入力され、結果として、 $d' = (X31 + 2 \cdot X22 + X13) / 4$ が出力されるが、 $d'$ は、図39(c)の $\theta 4$ に示す右斜め上方向に、平滑化処理が施された出力である。

【0135】420は4入力1出力のセレクトで、 $a', b', c', d'$ の4入力と、2ビットのセレクト信号y1y0とにより、次の関係で、信号を出力する。

y1y0 = 00 のとき  $b'$  を出力

y1y0 = 01 のとき  $a'$  を出力

y1y0 = 10 のとき  $d'$  を出力

30

y1y0 = 11 のとき  $c'$  を出力

従つて、画素補正回路の出力は以下ようになる。

【0136】

$\theta 1$ 方向のエッジ量が最大 のとき  $\theta 3$ 方向の平滑化出力

$\theta 2$ 方向のエッジ量が最大 のとき  $\theta 4$ 方向の平滑化出力

$\theta 3$ 方向のエッジ量が最大 のとき  $\theta 1$ 方向の平滑化出力

$\theta 4$ 方向のエッジ量が最大 のとき  $\theta 2$ 方向の平滑化出力

【画素補正の結果】図41は画像補正結果の一例を示す図である。

【0137】図41(a)に示すような濃度パターンをもつた画像に対し、ブロック符号化によつて符号化/復号処理を行った場合、同図(b)に示すように、符号化誤差によつて $4 \times 4$ 単位でガサツキが現れることがある。そこで、同図(b)に対して、前述の平滑化処理をすることによつて、同図(c)に示すようにガサツキが軽減された画像を得ることができる。例えば同図(b)のAで示す画素は、同図(a)のAに相当する画素に比較して、高い濃度に復号されているために、ガサツキが生じている。同図(b)のA画素においては、図39(c)に示す $\theta 4$ 方向のエッジ(濃度勾配)量が、他の方向のエッジ量より大きいため、 $\theta 4$ に直交する $\theta 2$ の方向に平滑化され、低めの濃度に補正される。他の画素に対しても、同様の補正がなされ、図41(c)に示されるように、全体としてガサツキが軽減される。

【0138】なお、濃度勾配と直交する方向に平滑化処理をしているために、文字部の先鋭さを損なうことはない。

【判定手段】図42, 図43は、図31, 図32に示す判定回路1171の構成例を示すブロック図である。

【0139】本実施例の判定回路1171と、第4実施例の判定回路1409とは略同様であり、同様な構成については同一符号を付し詳細説明を省略する。本実施例の判定回路1171と、第4実施例の判定回路1409とで異なるのは、RAM1302のアドレスバスの幅で、本実施例が15ビットに対して、第4実施例では18ビットである。

【0140】すなわち、第4実施例では、RAM1302のアドレスバスの、上位3ビットには、CPU1411からの、パターン選択信号SNOが、下位15ビットには、RGB信号が入力され、合計18ビットの構成となつている。これに対して、本実施例では、RAM1302のアドレスバスには、RGB信号の15ビットが入力される構成となつている。

【0141】【判定手段のタイミングチャート】本実施例の判定手段における主走査タイミングチャートは、第4実施例の図20に示すタイミングチャート例と同様で

あり、詳細説明を省略する。

【積分器】本実施例の積分器1306と、第4実施例の図21に示す積分器の構成例と同様であり、詳細説明を省略する。

【0142】図31、図32に示すCPU1170には、2値化された判定信号Hが入力される。入力画像中に、特定原稿画像が存在すると判定される場合、判定信号Hは“1”となるが、CPU1170はこれを受けて、複写禁止の処置をする。入力画像中に、特定原稿画像が存在しないと判定された場合には、判定信号Hは“0”のままであり、CPU1170はこれを受けて、複写可の処置をする。

【0143】【フローチャート】図45は本実施例の処理の手順を示すフローチャート例である。まず、ステップ1801で、原稿画像を読取り、画像メモリ1116へ読込んだ画像を蓄積する。次に、ステップ1802で、画像メモリ1116内の入力画像に対して、特定原稿画像判定を行う。

【0144】次に、ステップ1803で、入力画像中に特定原稿画像が存在すると判定された場合、ステップ1804に移り、CPU1170は画像メモリ1116内に蓄積された入力画像データを消去し、読込んだ画像が出力されるのを防ぐ。入力画像中に特定原稿画像が存在しないと判定された場合は、ステップ1805へ移る。

【0145】次に、ステップ1805で、画像メモリ1116内の入力画像データを読み出し、画像を複写出力する。この際、入力画像中に特定原稿画像が、存在しないと判断されたときは、通常の複写出力がなされるが、存在すると判断されたときは、既に、画像メモリ1116内の入力画像データは消去されているので、全面白または黒の画像が複写出力される。

【0146】なお、上述の説明において、入力画像中に特定原稿画像が存在すると、CPU1170が、画像メモリ1116内の入力画像データを消去することで、複写出力を禁止するとしたが、本実施例はこれに限られるものではなく、特定原稿画像が存在すると判定された場合に、CPU1170が、画像メモリ1116内の入力画像データを加工し、例えば、原稿画像とは色味の異なる画像を、複写出力することによっても、偽造を防止することができる。

【0147】さらに、図47に示す特定原稿1901を複写しようとした場合、入力画像中に特定原稿画像が存在すると判定されたならば、CPU1170が、画像メモリ1116内の入力画像データを加工し、例えば、図47に一例を示すような、複写出力1902の全面に「INVALID」（無効）の文字を重ねた、複写出力とすることで同様の効果が得られる。

【0148】同様に、例えば、図47に一例を示すような、複写出力1903の全面に、人間の目には識別し難い色（例えばイエロー）で、記号または番号など（図4

7の場合は、例えば「123」）を重ねて複写出力する。具体的には、装置固有の番号、もしくは装置の製造ロット番号などを複写出力全面に、周期的に繰返し出力する。これにより、もしこの複写出力が悪用された場合に、重ねた記号または番号などを鑑定することで、捜査の手掛かりとなる、該複写出力を出力した複写装置の情報が得られる。

【0149】また、重ねた記号または番号などの、繰返し出力の周期 $L_x$ および $L_y$ を、対象とする特定原稿の縦および横の何れの幅より小することにより、複写出力から特定原稿の該当部分を切取つて悪用された場合でも、複写出力の切取り部分に、重ねた記号または番号などを確実に付加することができる。以上説明したように本実施例によれば、入力画像を一旦メモリに蓄えた後に出力する画像処理装置において、入力画像中の特定原稿画像の有無を判定し、特定原稿画像が存在すると判定された場合には、メモリ内に蓄えられた画像データを加工することにより、特定原稿の偽造を防ぐことができる。

【0150】なお、本発明は、複数の機器から構成されるシステムに適用しても、一つの機器からなる装置に適用してもよい。また、本発明は、システムあるいは装置にプログラムを供給することによつて達成される場合にも適用できることはいうまでもない。

【0151】

【発明の効果】以上説明したように本発明によれば、特定画像データが含まれている入力画像データの出力を制御できる画像処理装置を提供できる。

【図面の簡単な説明】

【図1】本発明に係る一実施例の構成例を示すブロック図である。

【図2】本実施例の変換回路の詳細な構成例を示すブロック図である。

【図3】本実施例の各種色空間と共通色空間との関係の一例を説明する図である。

【図4】本実施例の特定原稿識別回路の詳細な構成例を示すブロック図である。

【図5】特定原稿画像と色空間の関係の一例を説明する図である。

【図6】本実施例の特定原稿画像の色空間データと、判定ROMのデータとの関係の一例を示した図である。

【図7】本実施例の積分器の積分の様子の一例を示す図である。

【図8】本実施例の積分器の詳細な構成例を示すブロック図である。

【図9】本実施例の特定原稿と認識領域の位置関係の一例を示す図である。

【図10】本実施例のOR書き込み回路とSRAMの詳細な構成例を示すブロック図である。

【図11】本実施例のタイミング発生回路のタイミングチャート例である。

【図12】本実施例の特定原稿画像の比較判定の一例を説明する図である。

【図13】本実施例のCPUの動作例を説明するフローチャートである。

【図14】本発明に係る第2実施例の構成例を示すブロック図である。

【図15】本発明に係る第4実施例の装置外観図の一例である。

【図16】本実施例のイメージスキヤナの信号の流れの一例を示すブロック図である。

【図17】、

【図18】本実施例の判定回路の構成例を示すブロック図である。

【図19】本実施例の間引き回路および分周回路の構成例を示すブロック図である。

【図20】本実施例の通常制御モードにおける主走査タイミングチャート例である。

【図21】本実施例の積分器の構成例を示すブロック図である。

【図22】本実施例の積分器の入出力の関係例を示す図である。

【図23】本実施例の処理の流れの一例を示すフローチャートである。

【図24】本発明に係る第5実施例の処理の流れの一例を示す図である。

【図25】本発明に係る第6実施例の装置概観図の一例である。

【図26】、

【図27】本実施例の信号の流れの一例を示すブロック図である。

【図28】本実施例の処理の流れの一例を示すフローチャートである。

【図29】本発明に係る第7実施例の像形成タイミングチャート例である。

【図30】本実施例のタイミング信号を発生する回路の構成例を示すブロック図である。

【図31】、

【図32】本実施例の信号の流れの一例を示すブロック図である。

【図33】本実施例の4×4エリア処理回路の構成例を示すブロック図である。

【図34】本実施例の4×4エリアの模式図である。

【図35】本実施例のエリア処理の一例を示す図である。

【図36】本実施例の色空間変換器の構成例を示すブロック図である。

【図37】本実施例の空間フィルタの構成例を示すブロック図である。

【図38】本実施例の画素補正回路の構成例を示すブロック図である。

【図39】本実施例の画素構成回路の動作例を説明する図である。

【図40】本実施例の最大値検出回路の構成例を示すブロック図である。

【図41】本実施例の画像補正結果の一例を示す図である。

【図42】、

【図43】本実施例の判定回路の構成例を示すブロック図である。

10 【図44】本実施例の符号化回路の構成例を示すブロック図である。

【図45】本実施例の処理の手順を示すフローチャート例である。

【図46】、

【図47】本実施例の複写出力の一例を示す図である。

【符号の説明】

100	信号処理部
102	画像処理ユニット (IPU)
103	ホストコンピュータ
104	スチールビデオ (SV)
105	ビデオテープレコーダ (VTR)
106	演算回路
107	変換回路
108	色処理回路
109	特定原稿識別回路
110	画像出力制御回路
112	画像出力装置
113	表示部
122, 123	スキヤナ a, スキヤナ b
30 124	クリア信号
404	識別信号 INH
501	判定ROM
511	OR書込み回路
512	SRAM
515	CPU
1112	色空間変換器
1113, 1114	符号化器
1115	特徴抽出回路
1116	画像メモリ
1141~1144	濃度信号生成部
1157~1160	変倍回路
1161, 1162	復号器
1163	色空間変換器
1164	判定回路
1170	CPU
1171	判定回路
1403~1405	対数変換器
1406	マスキング/UCR回路
1407	空間フィルタ
50 1408	濃度変換回路

35

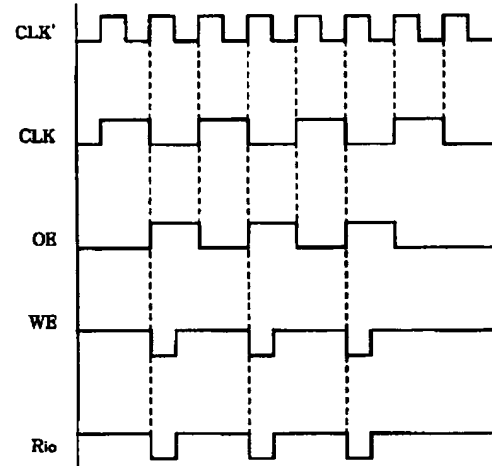
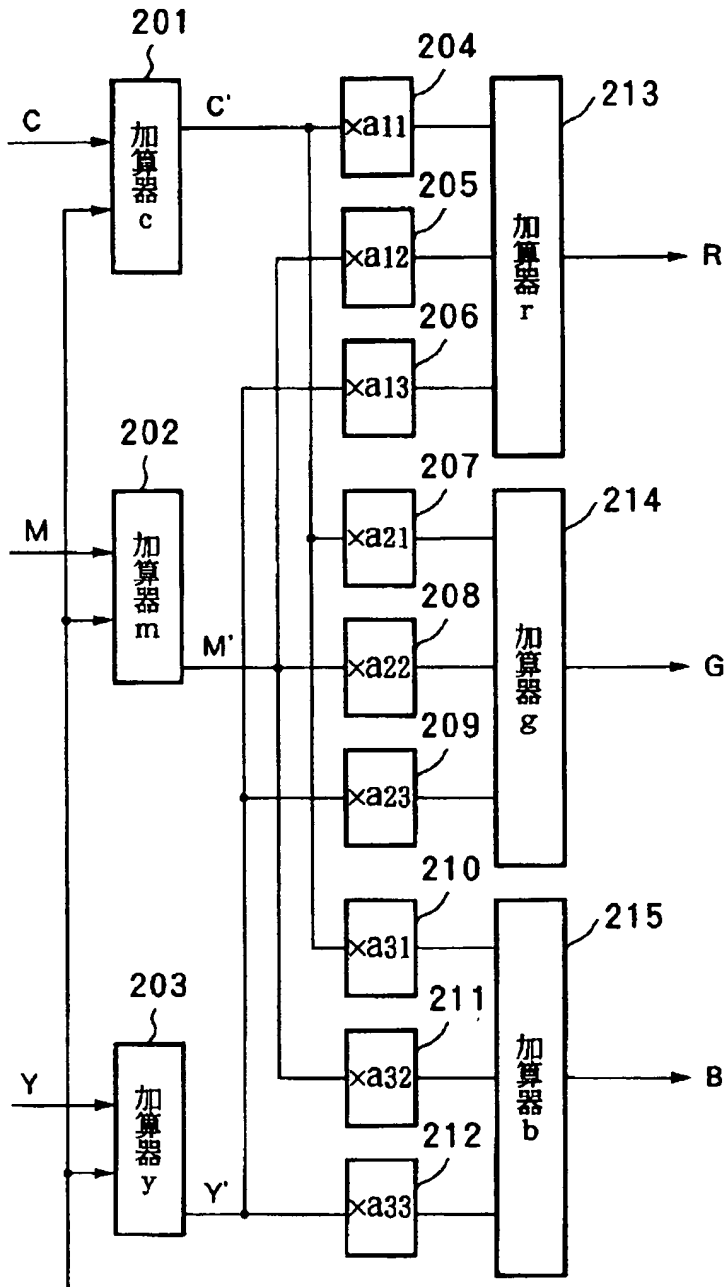
36

1409 判定回路  
1411 CPU  
1412 画像メモリ

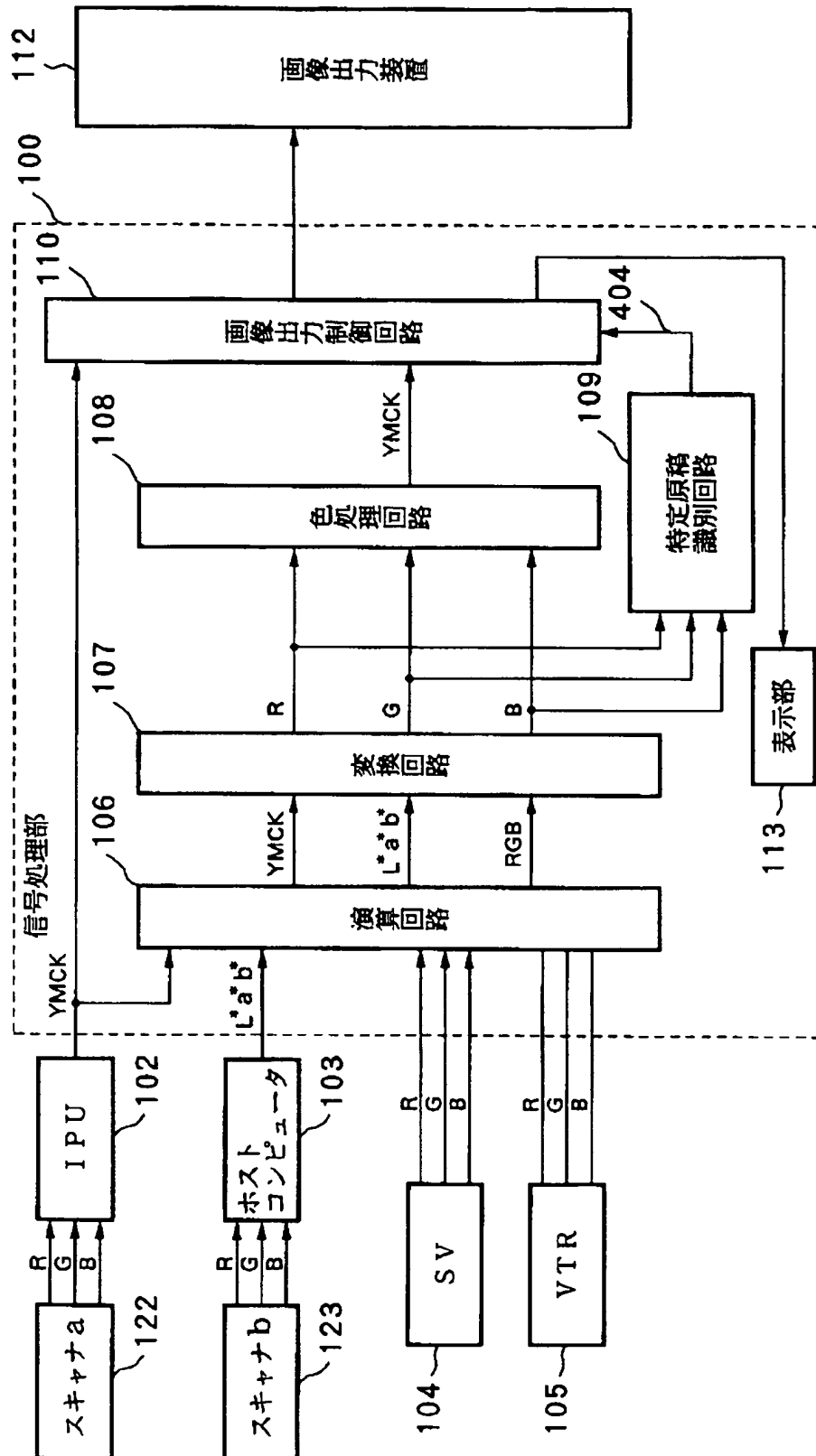
2201 スキャナ  
2202 プリンタ  
2210 3ラインセンサ

【図2】

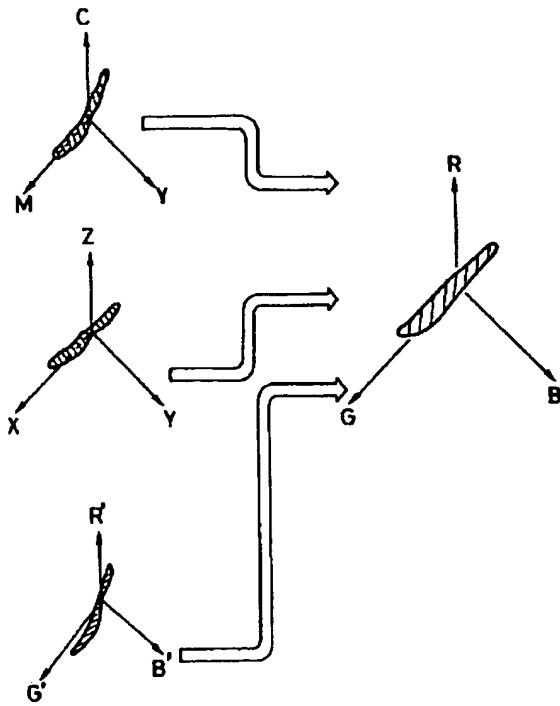
【図11】



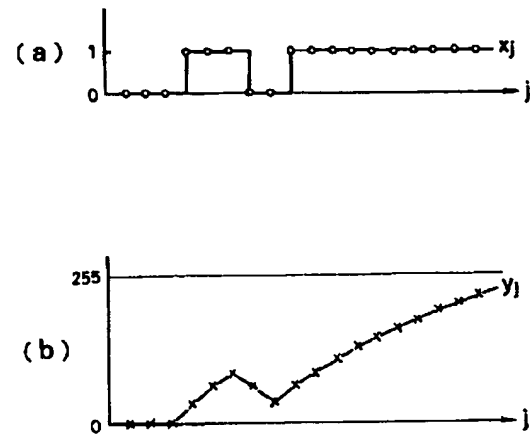
【図1】



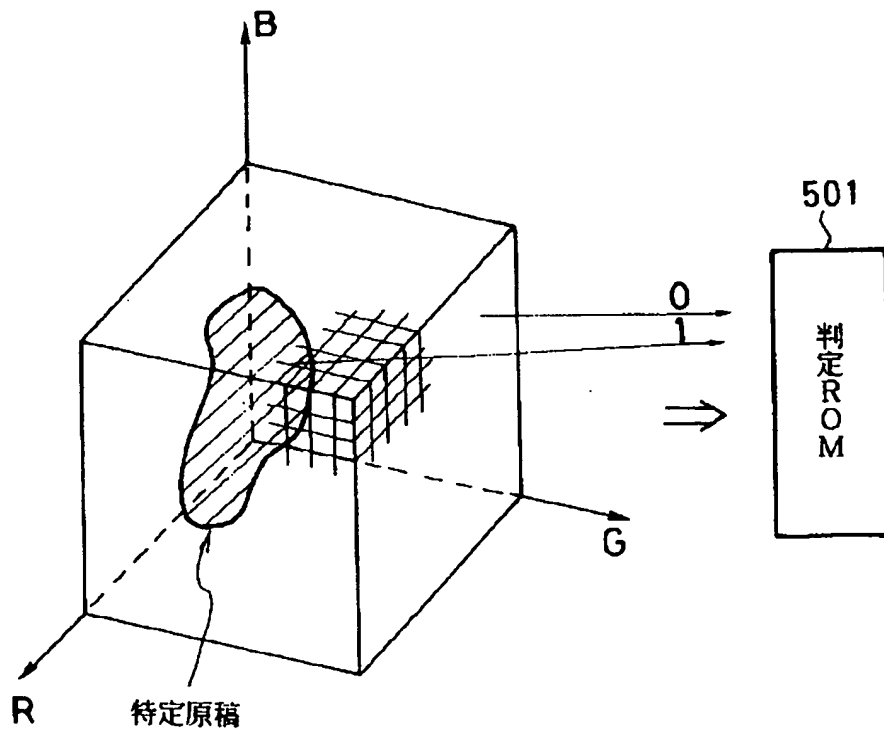
【図3】



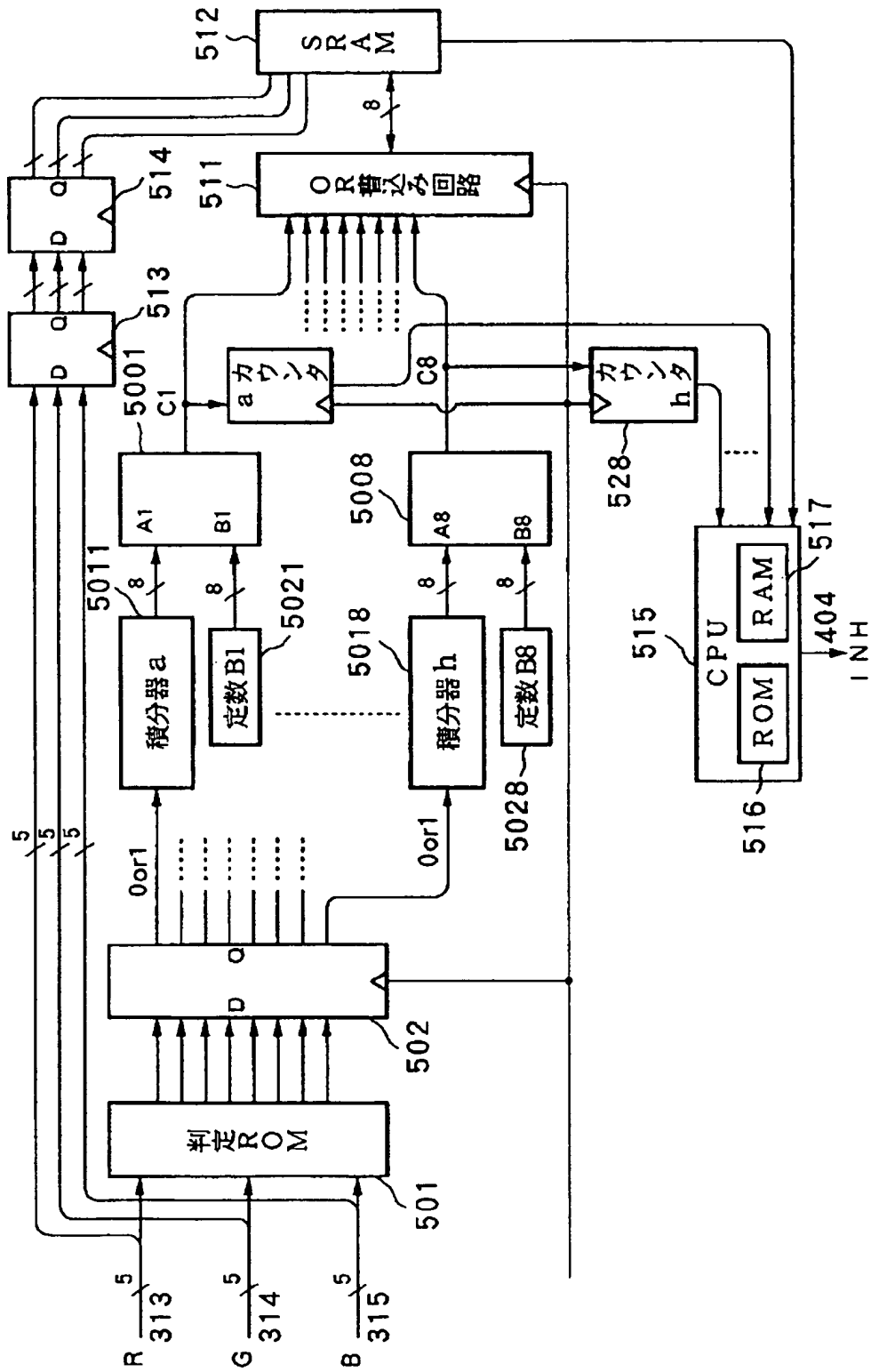
【図7】



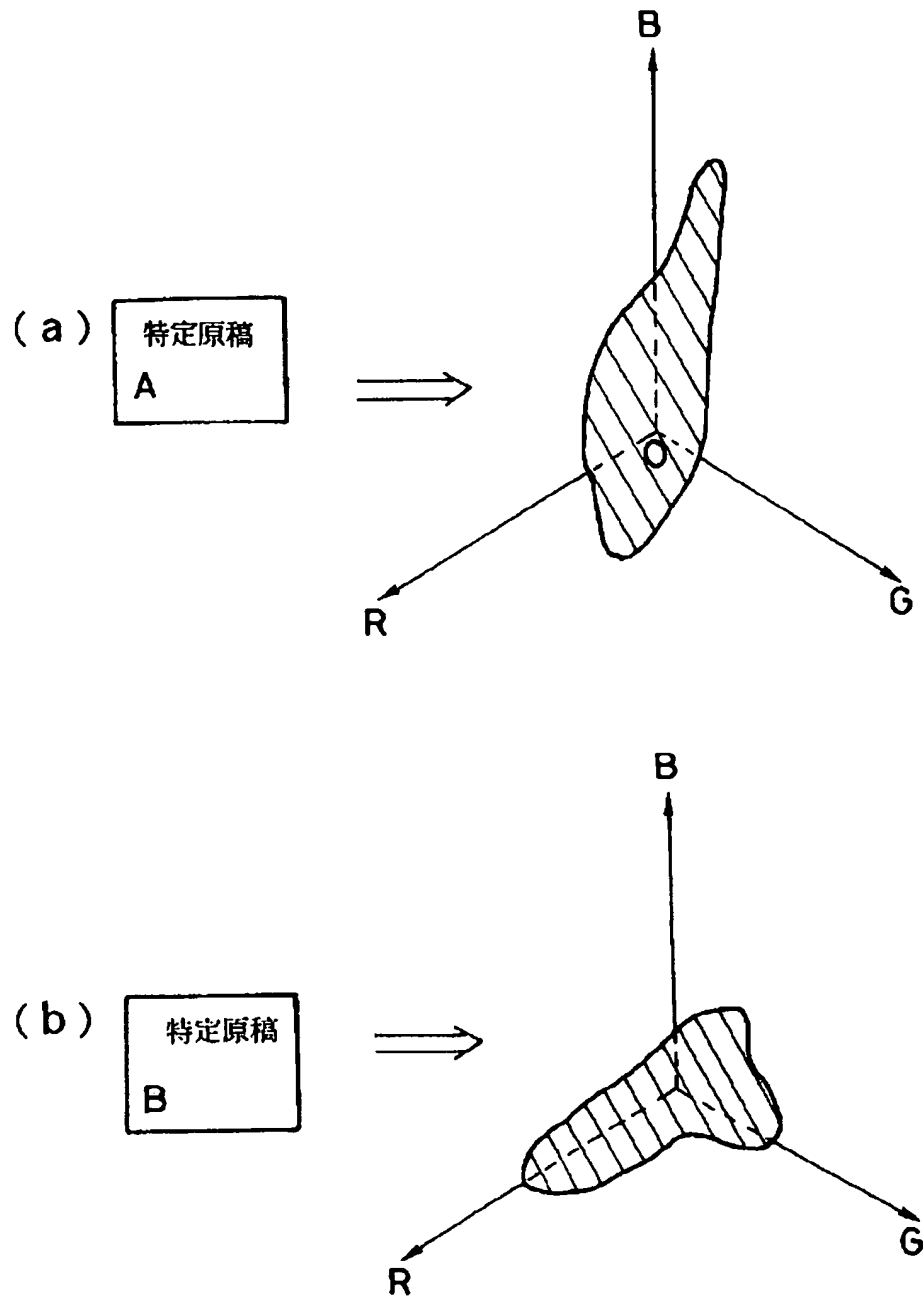
【図6】



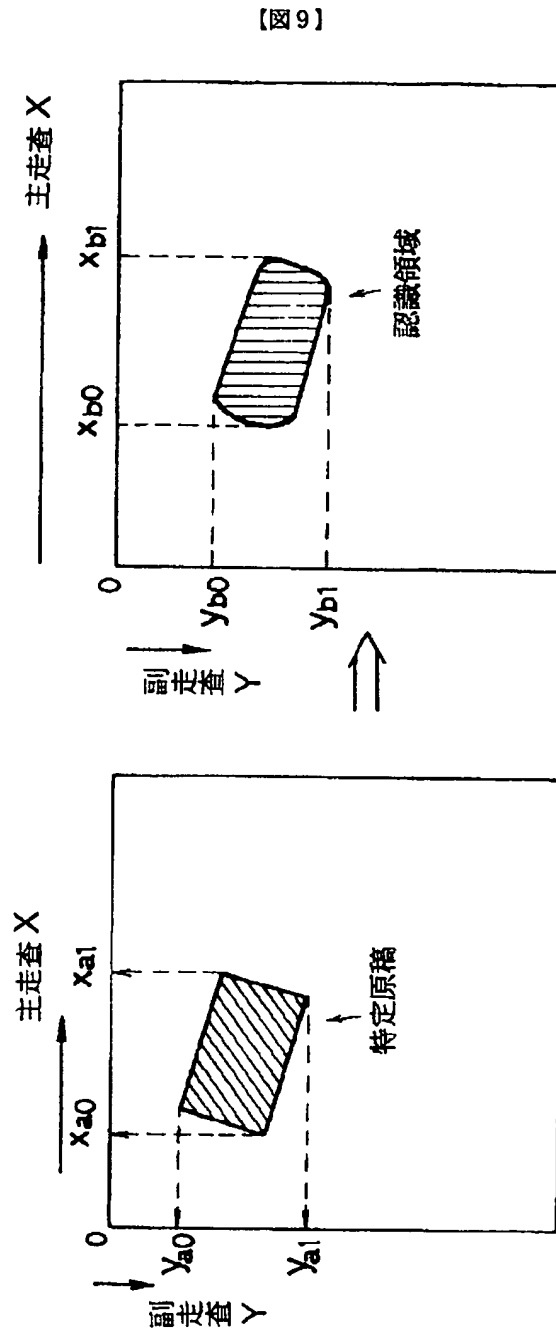
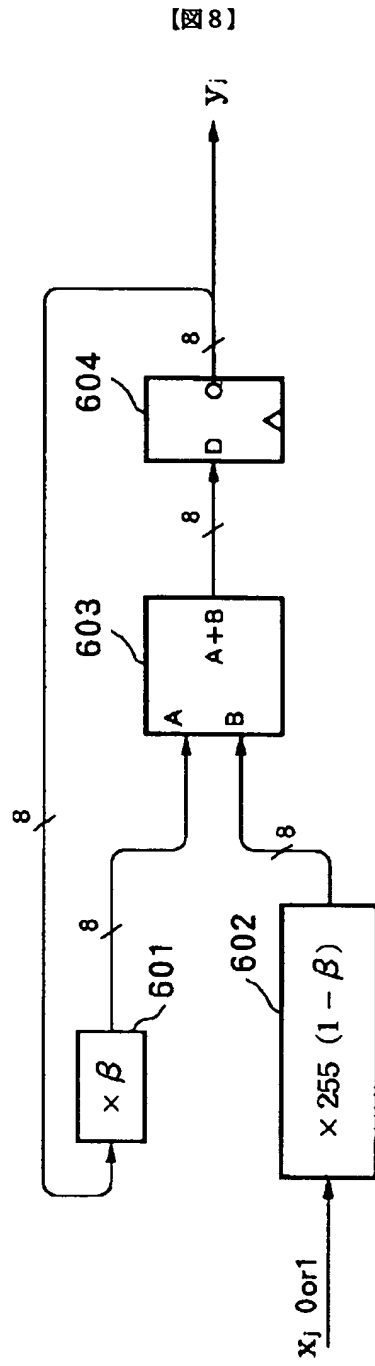
【図4】



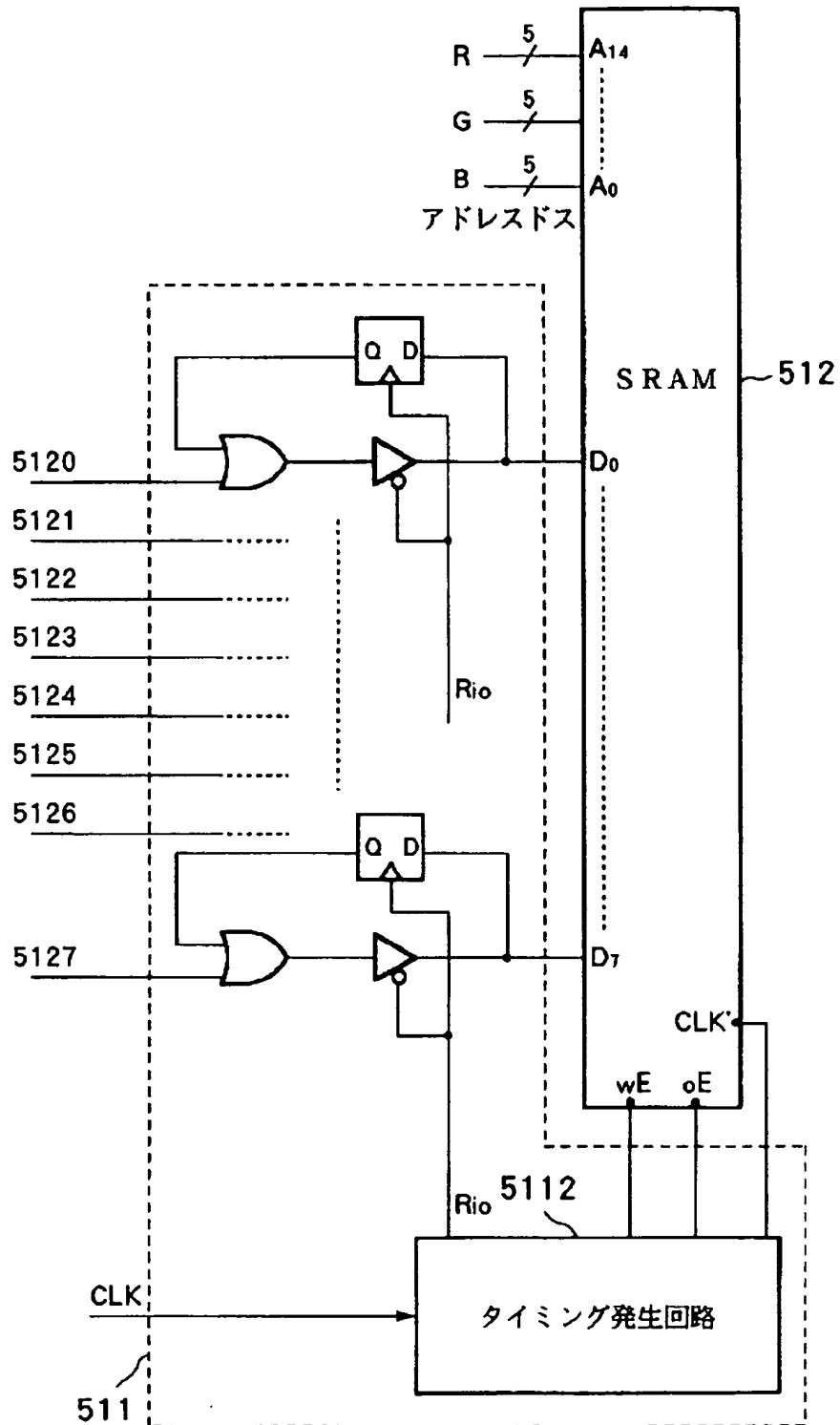
【図5】



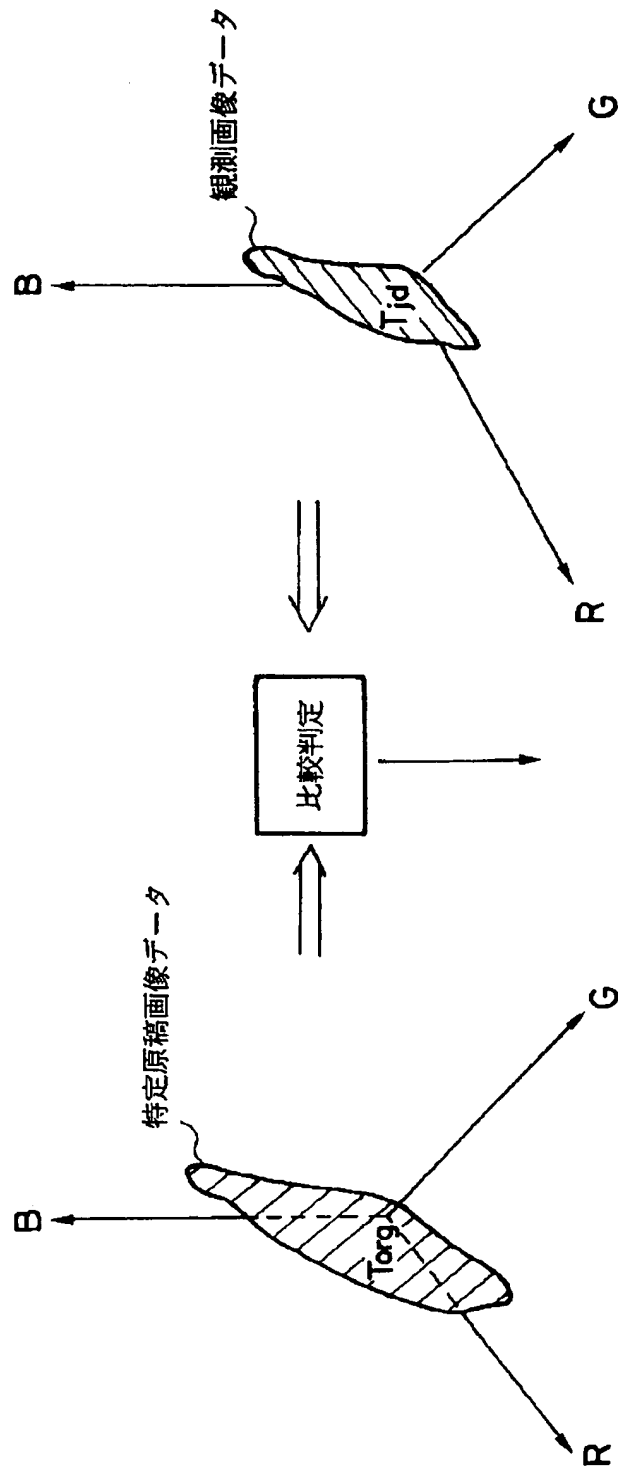




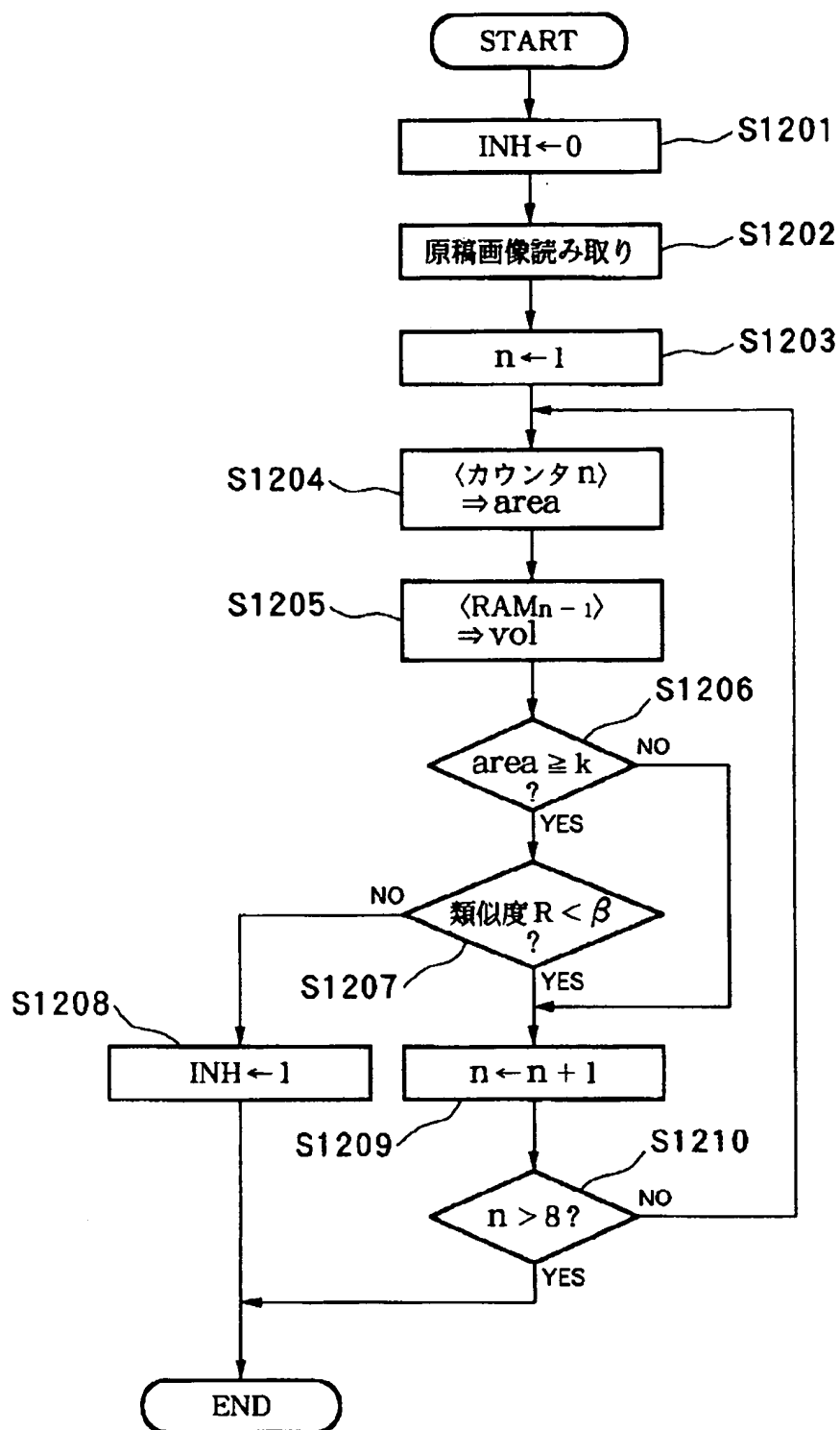
【図10】



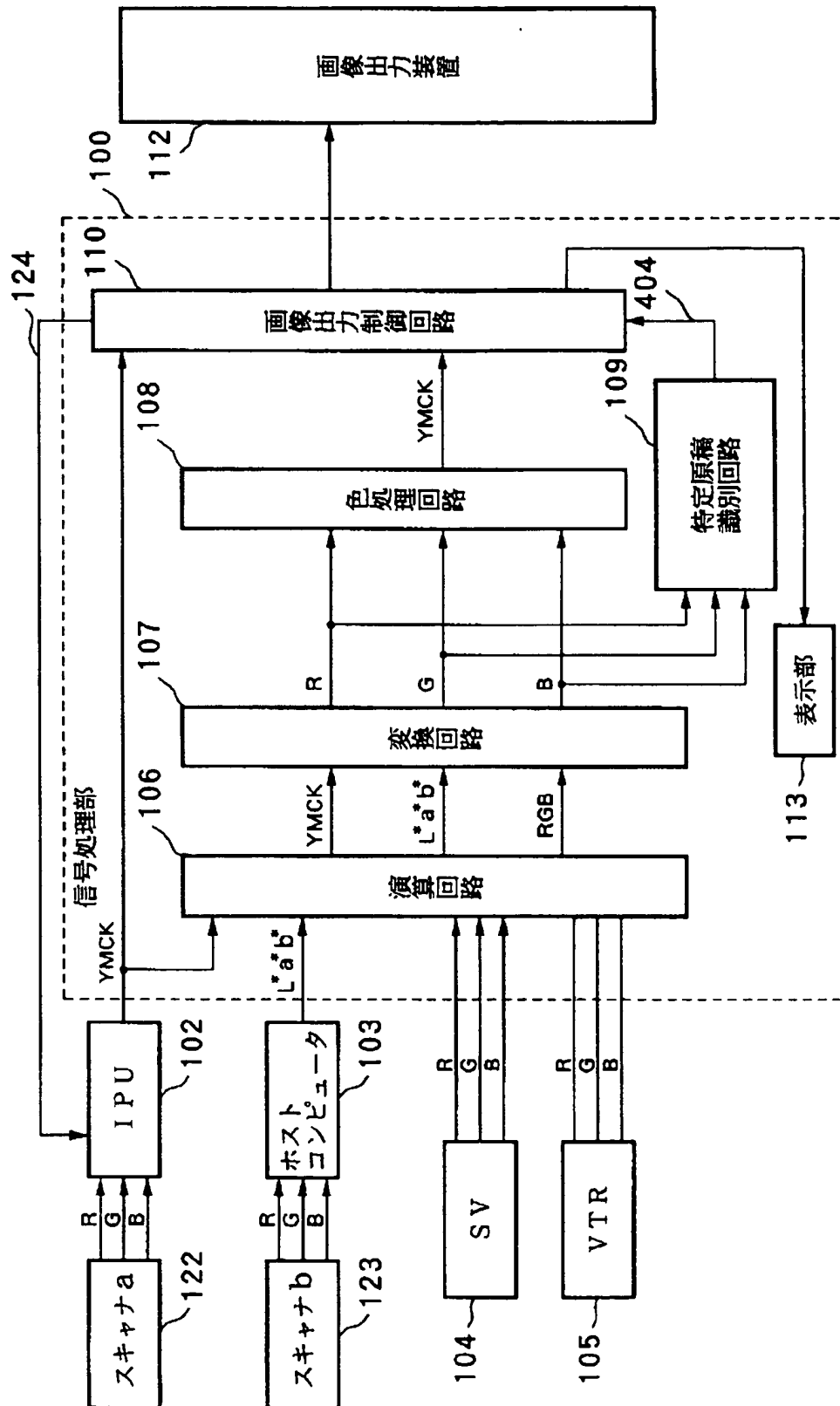
【図12】



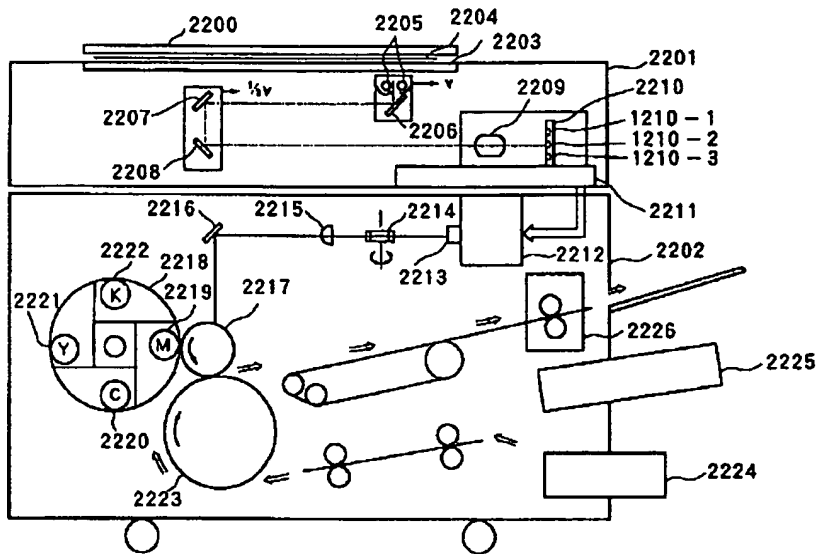
【図13】



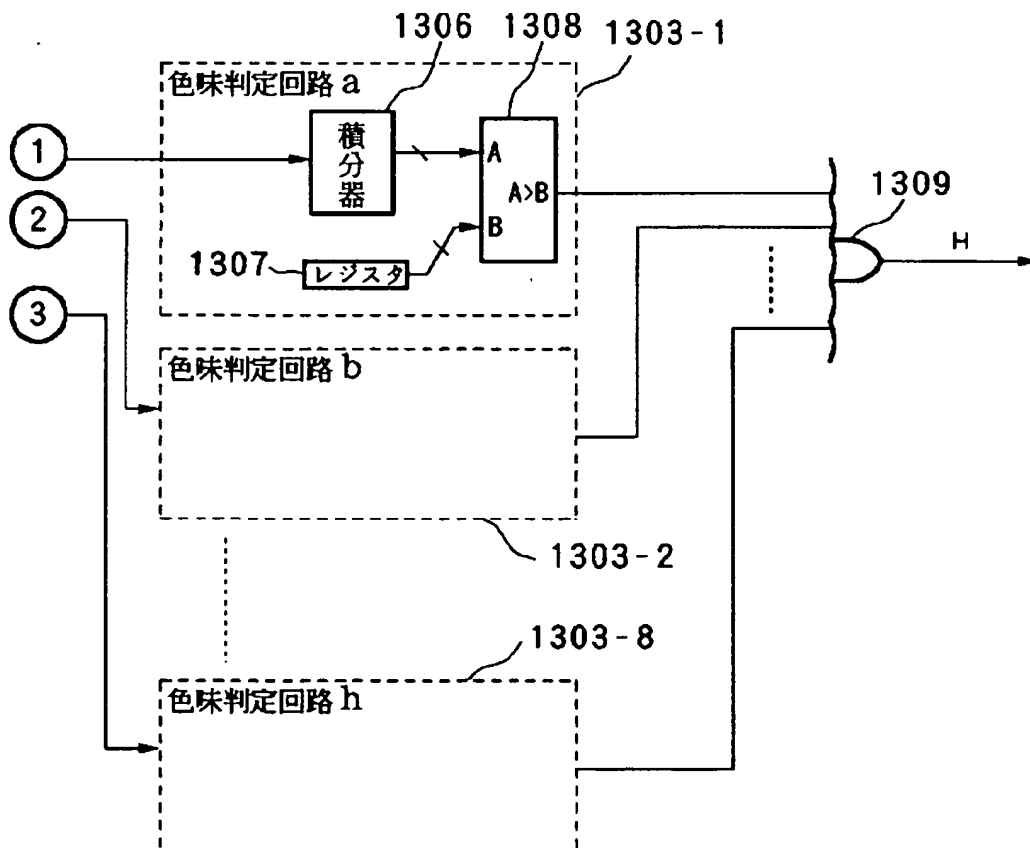
【図14】



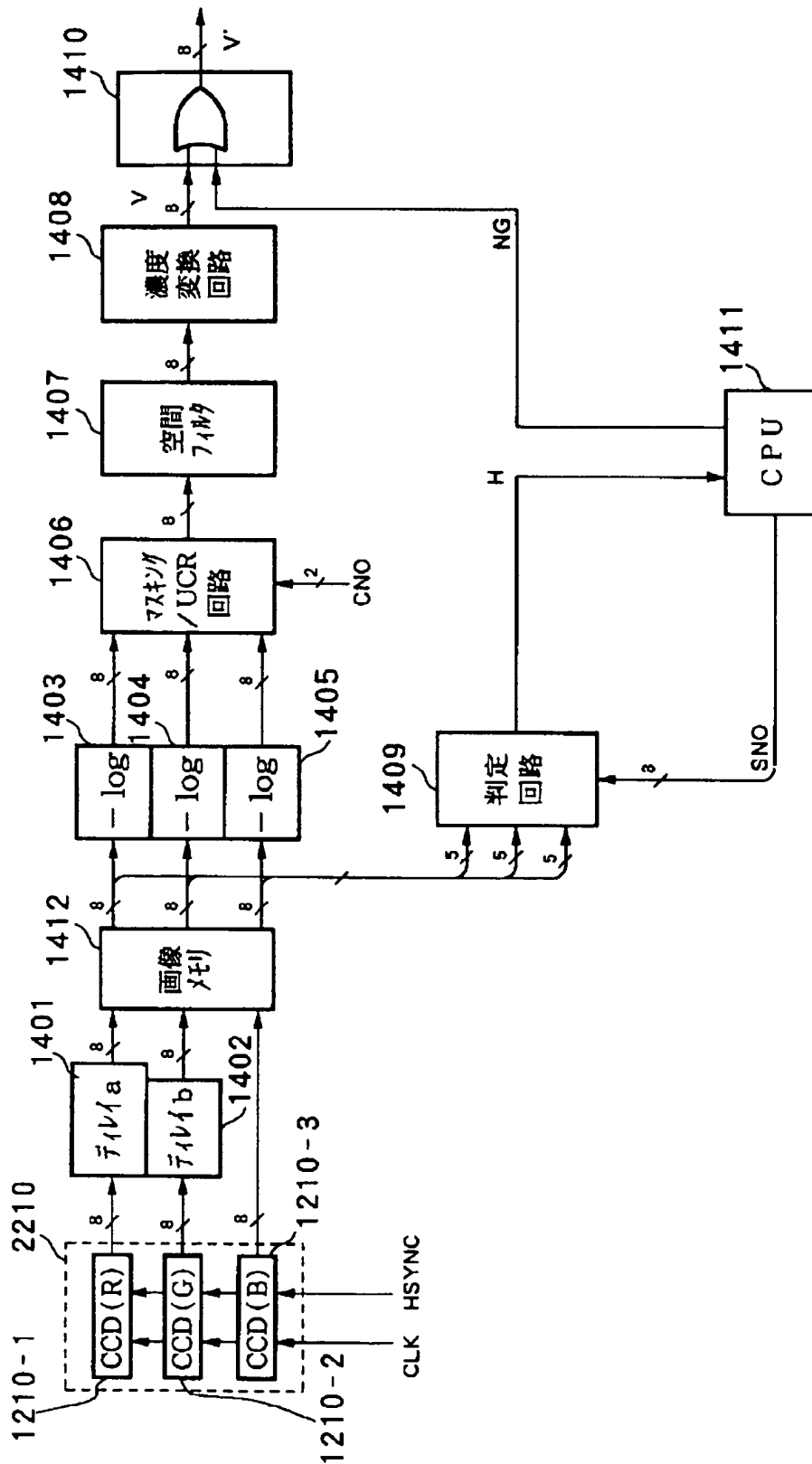
【図15】



【図18】



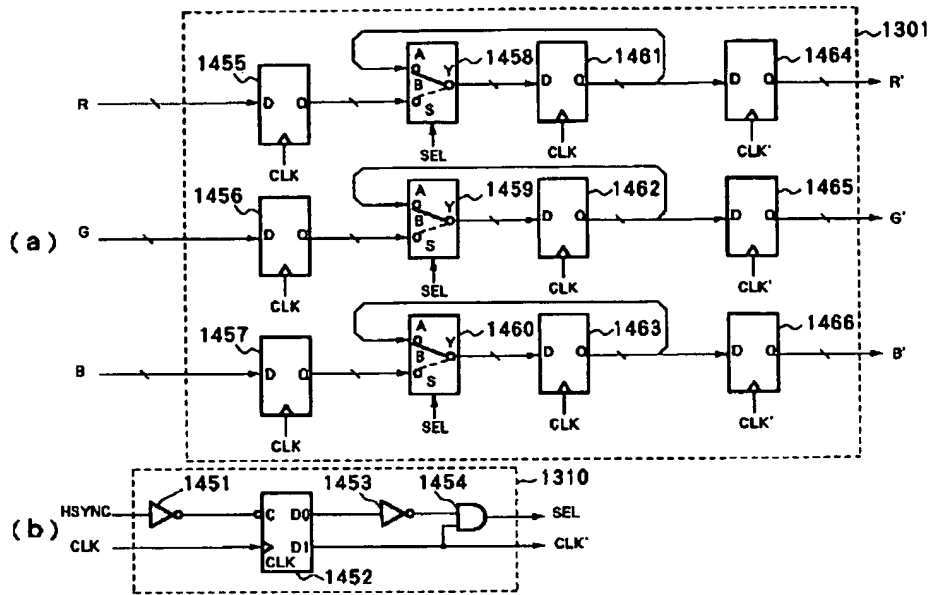
【図16】



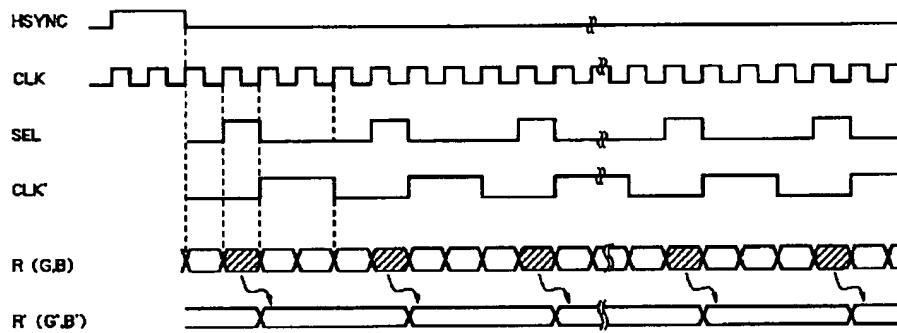




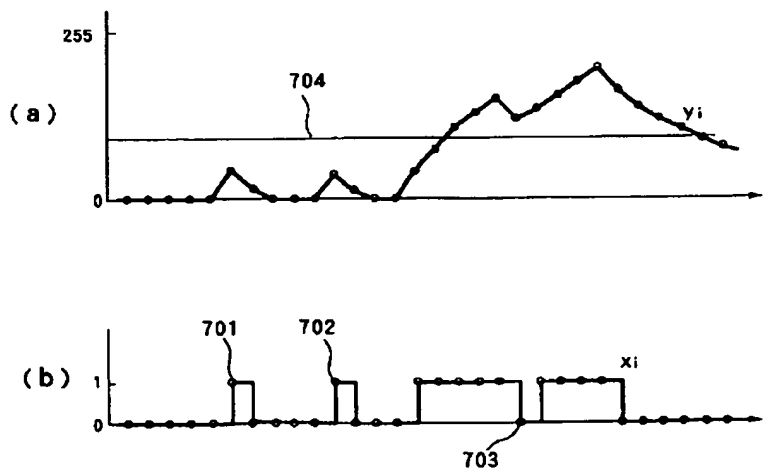
【図19】



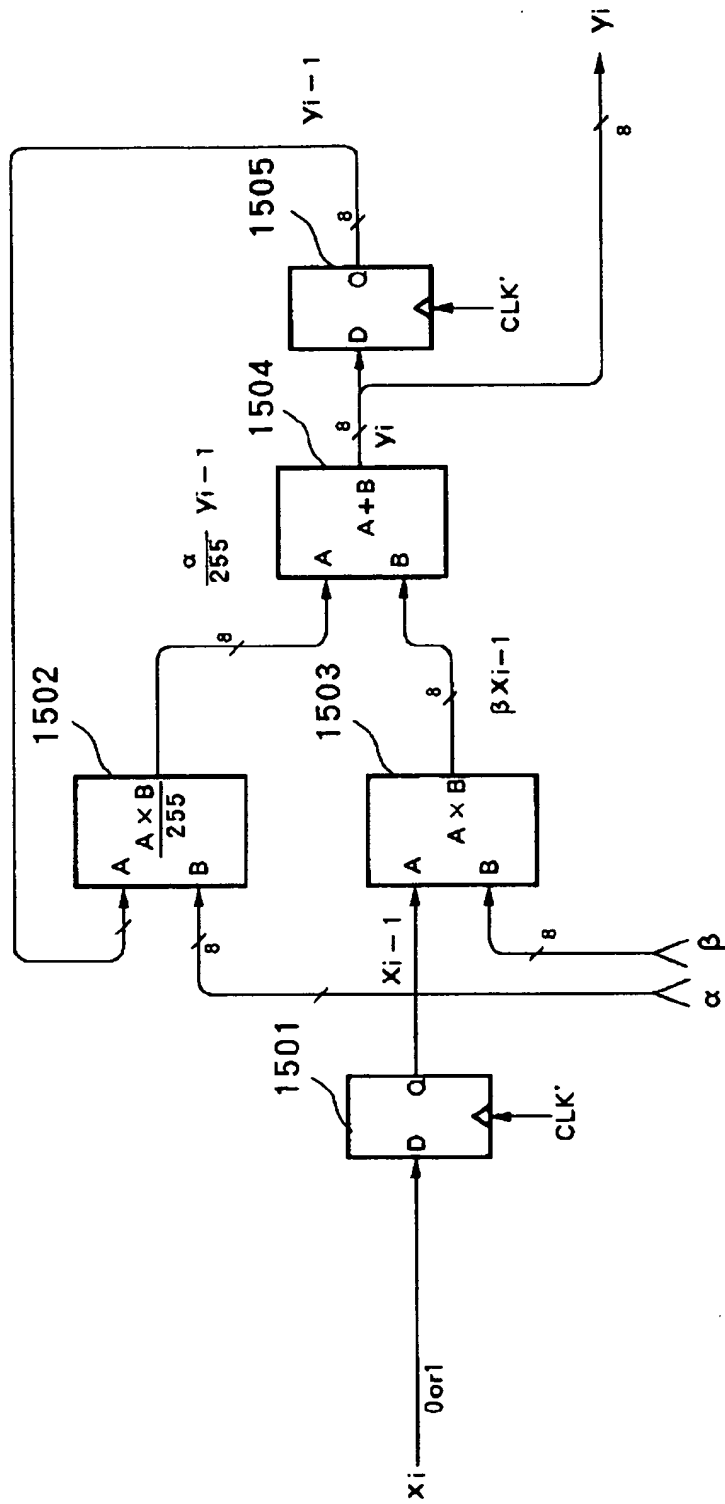
【図20】



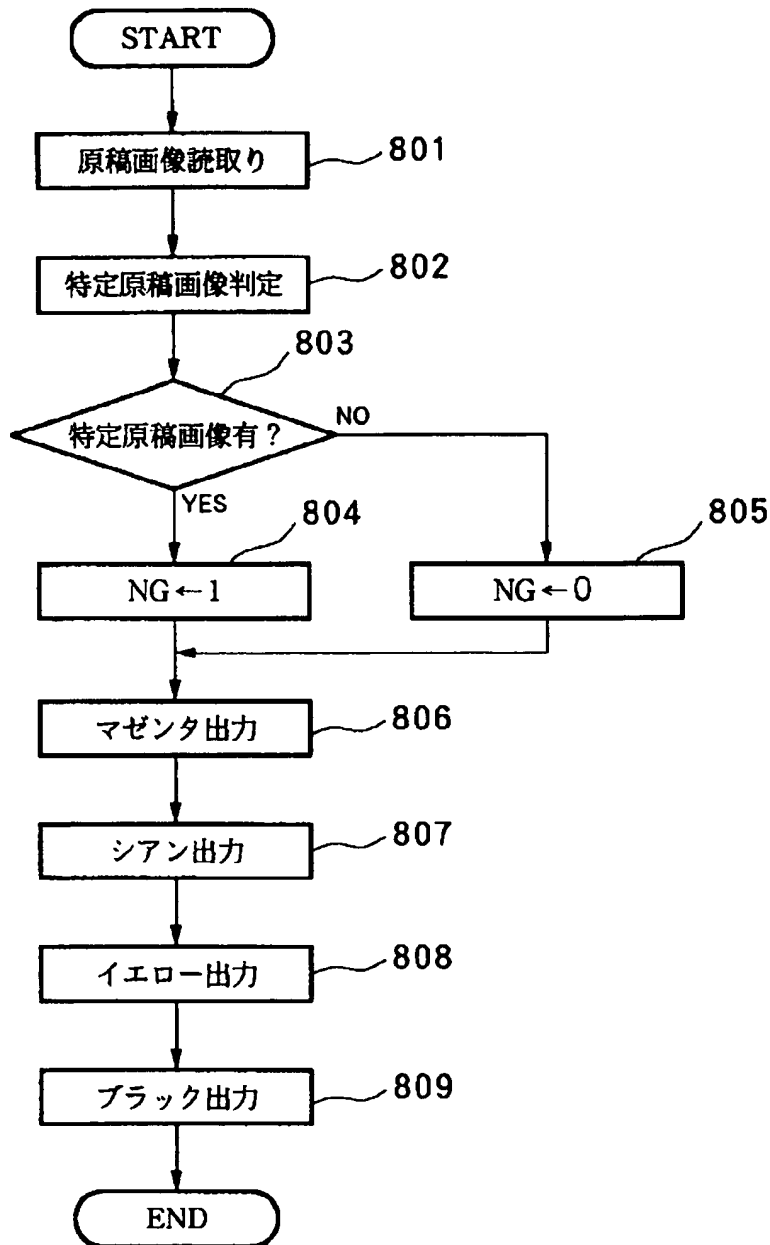
【図22】



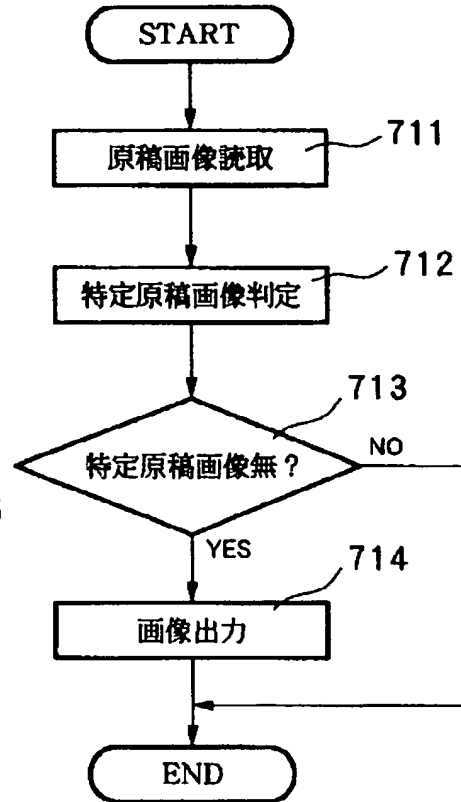
【図21】



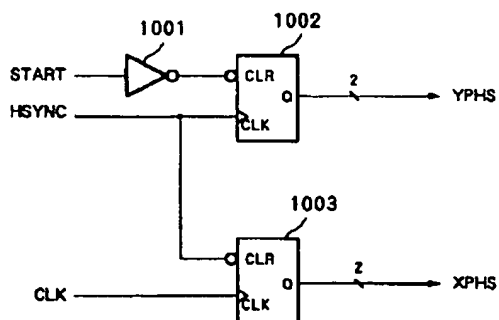
【図23】



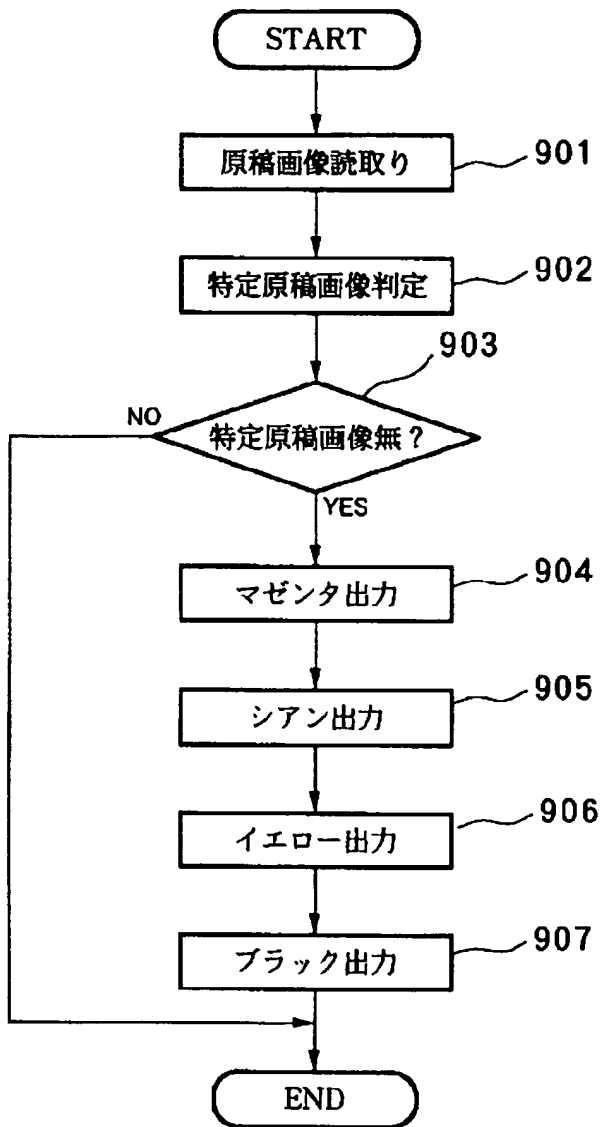
【図28】



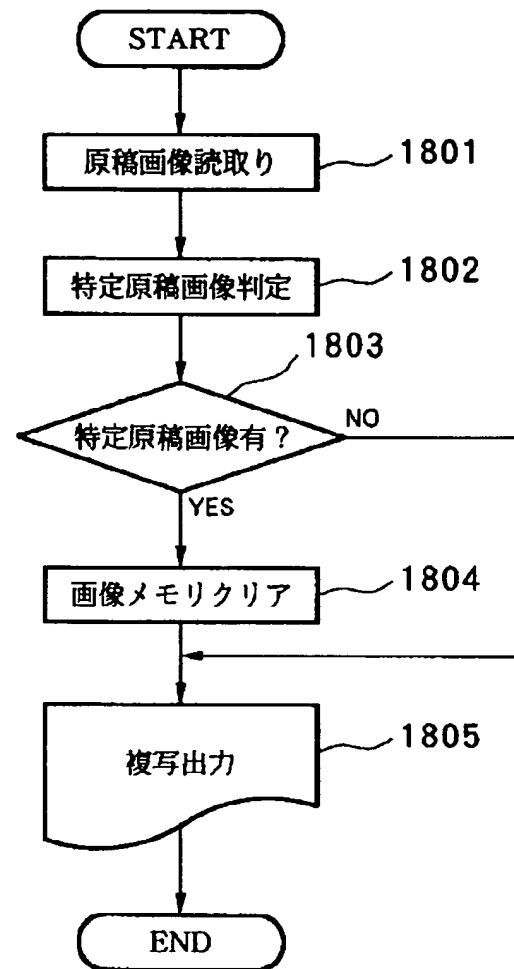
【図30】



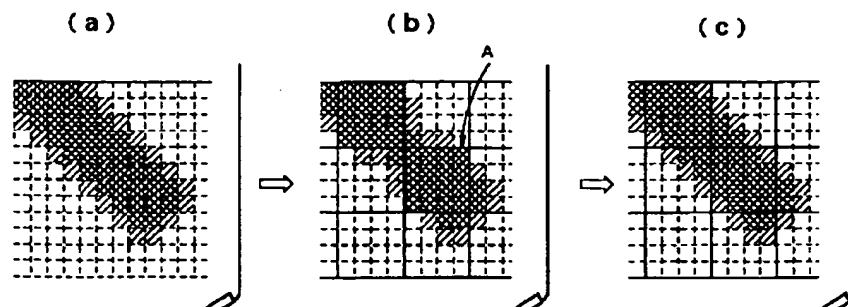
【図24】



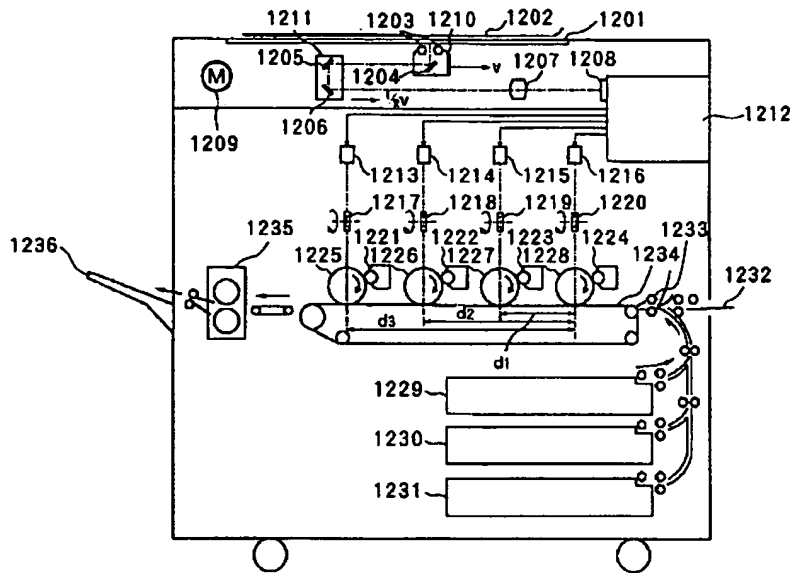
【図45】



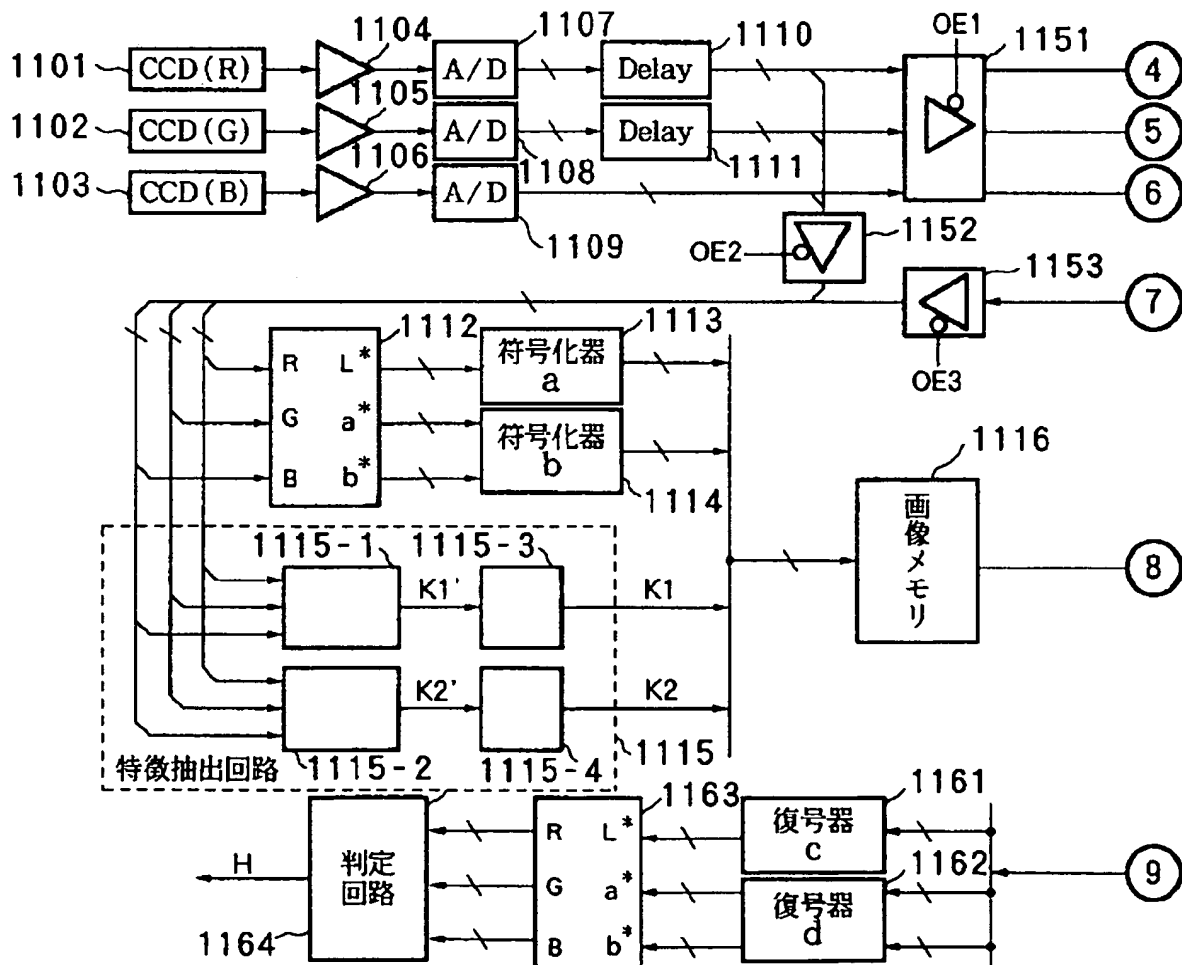
【図41】



【図25】

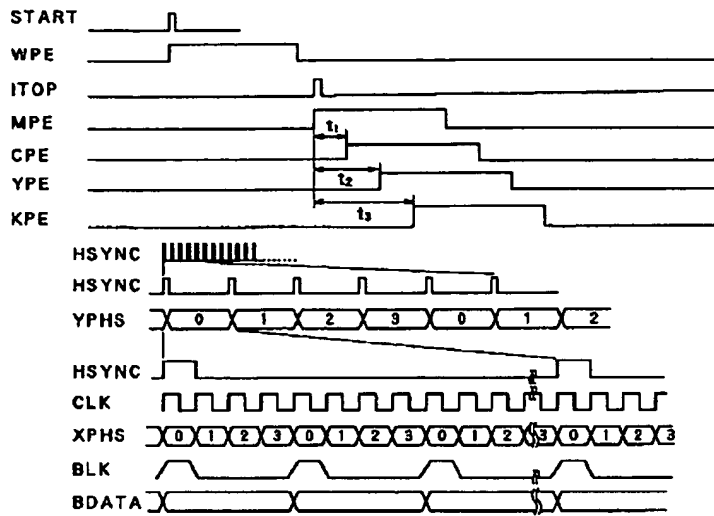


【図26】

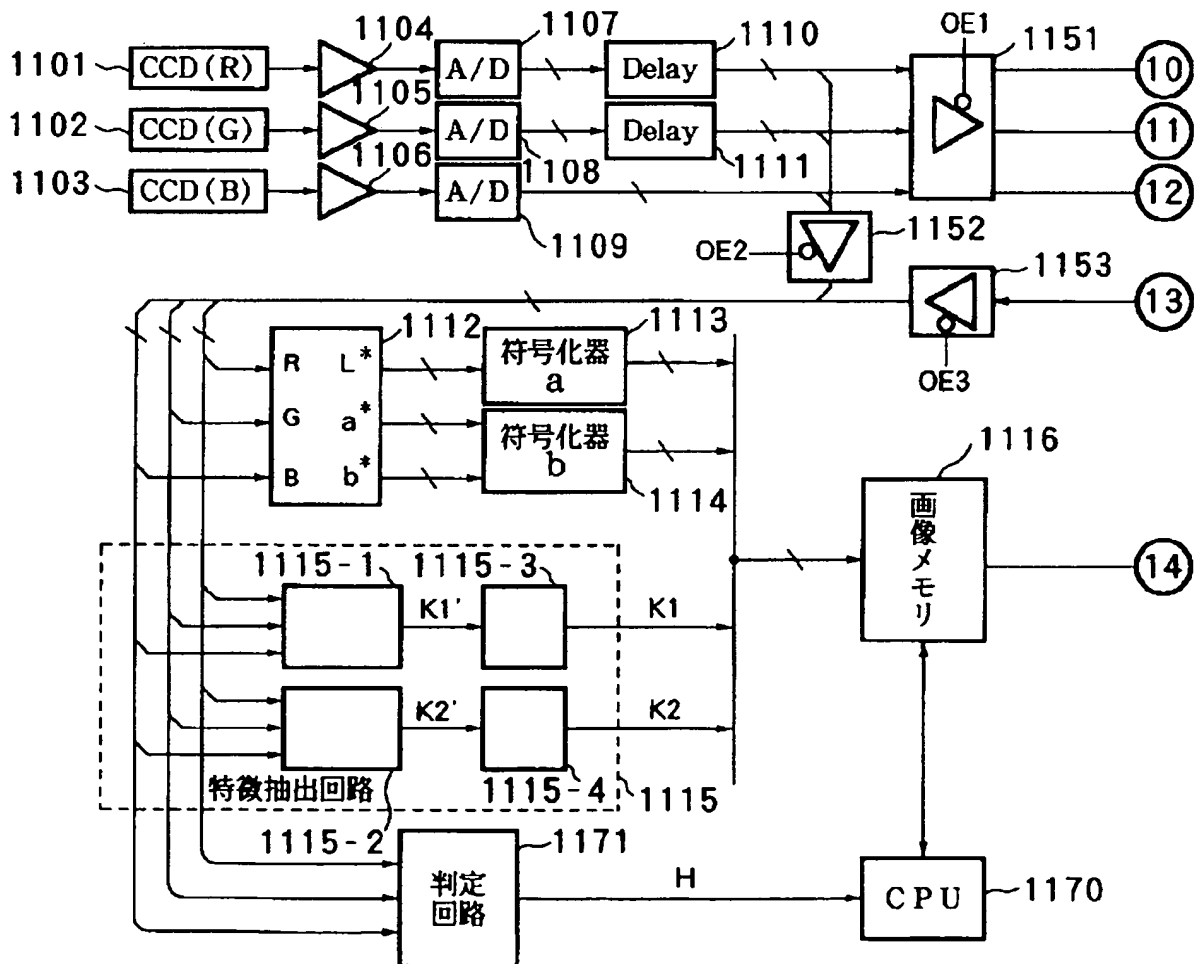




【図29】



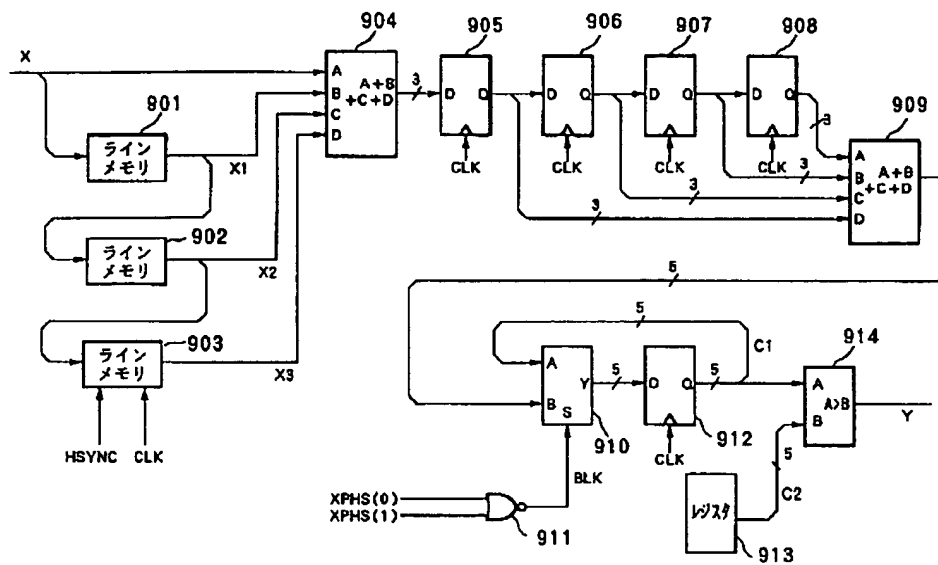
【図31】



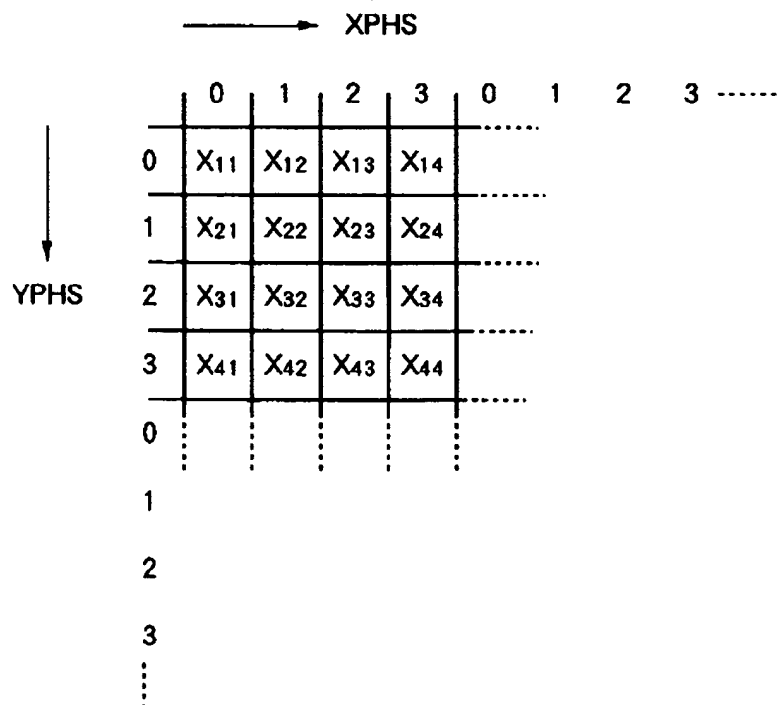




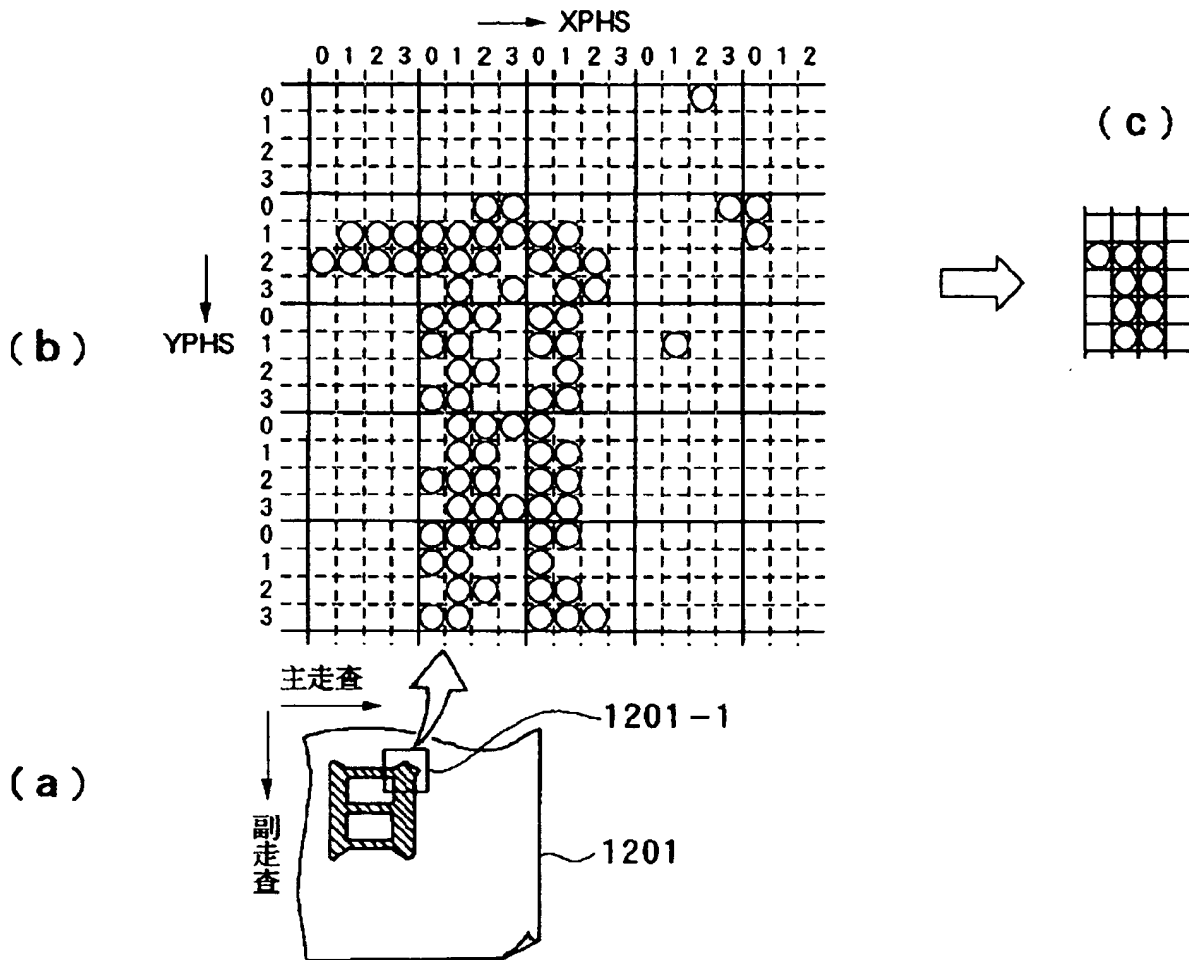
【図33】



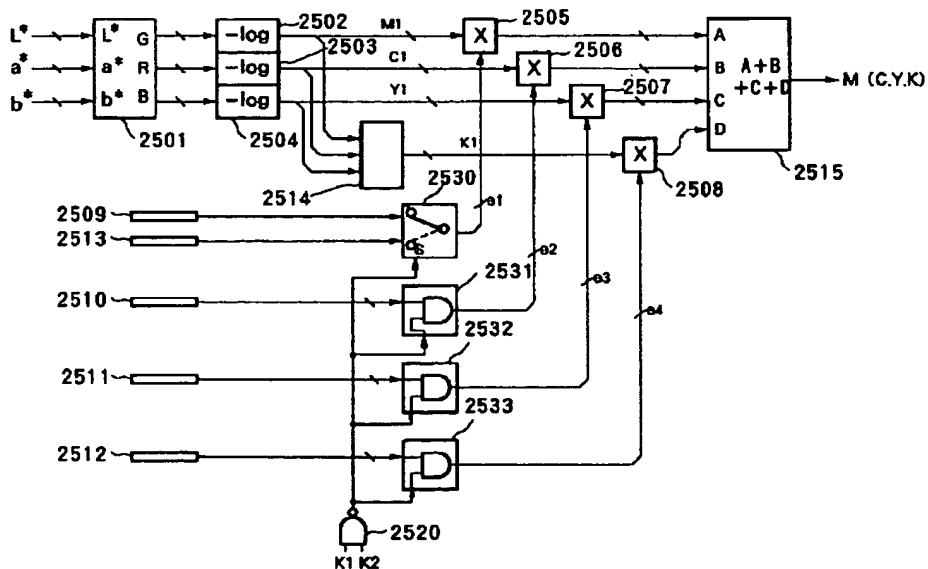
【図34】



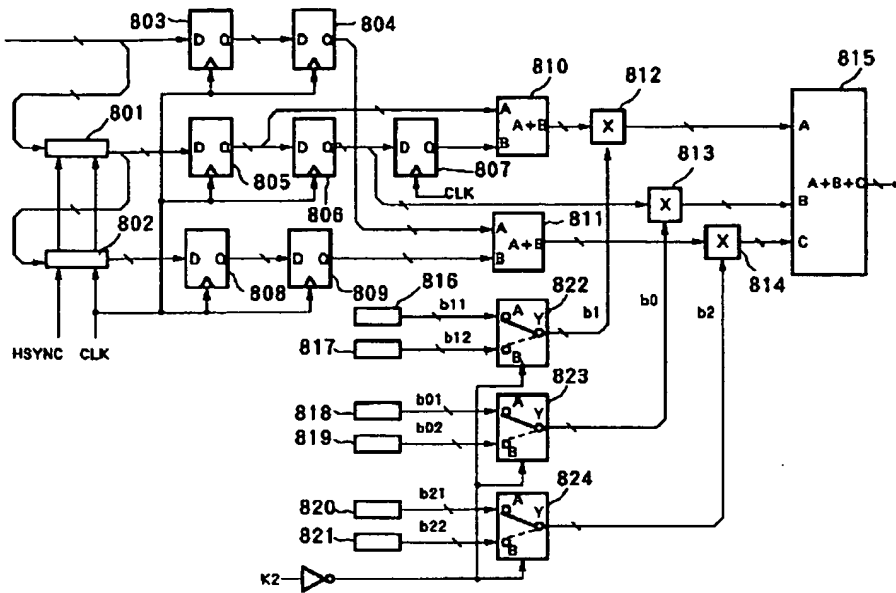
【图 3 5】



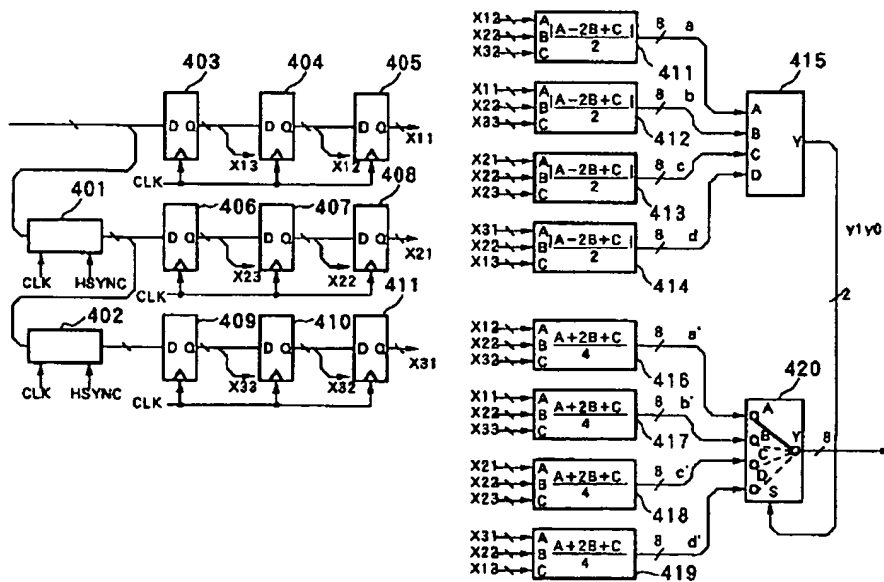
【图 3 6】



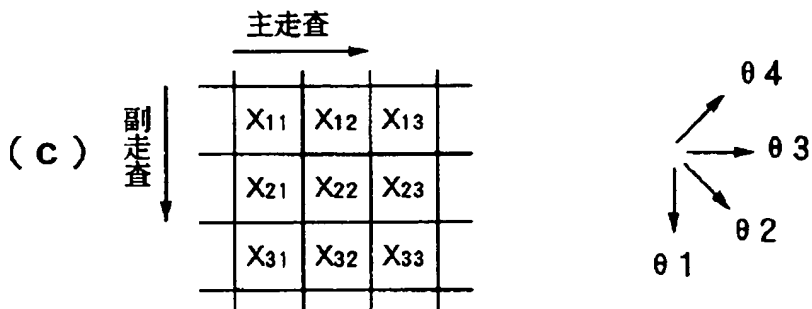
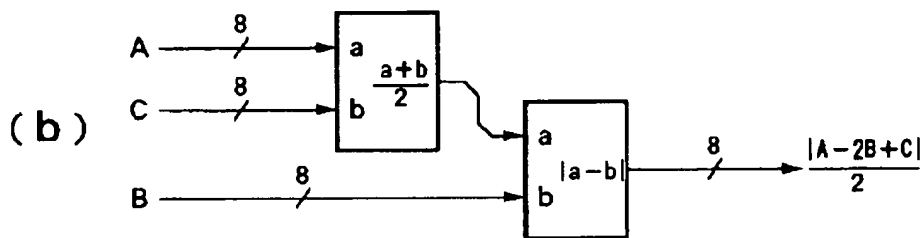
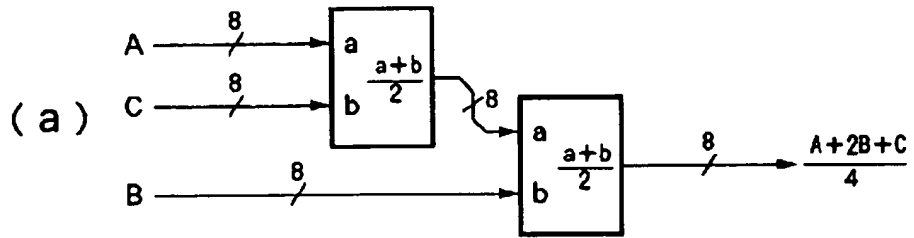
【図37】



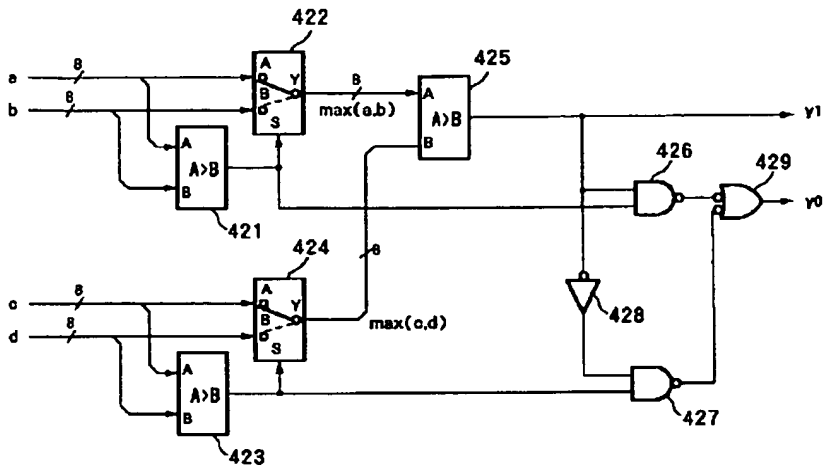
【図38】



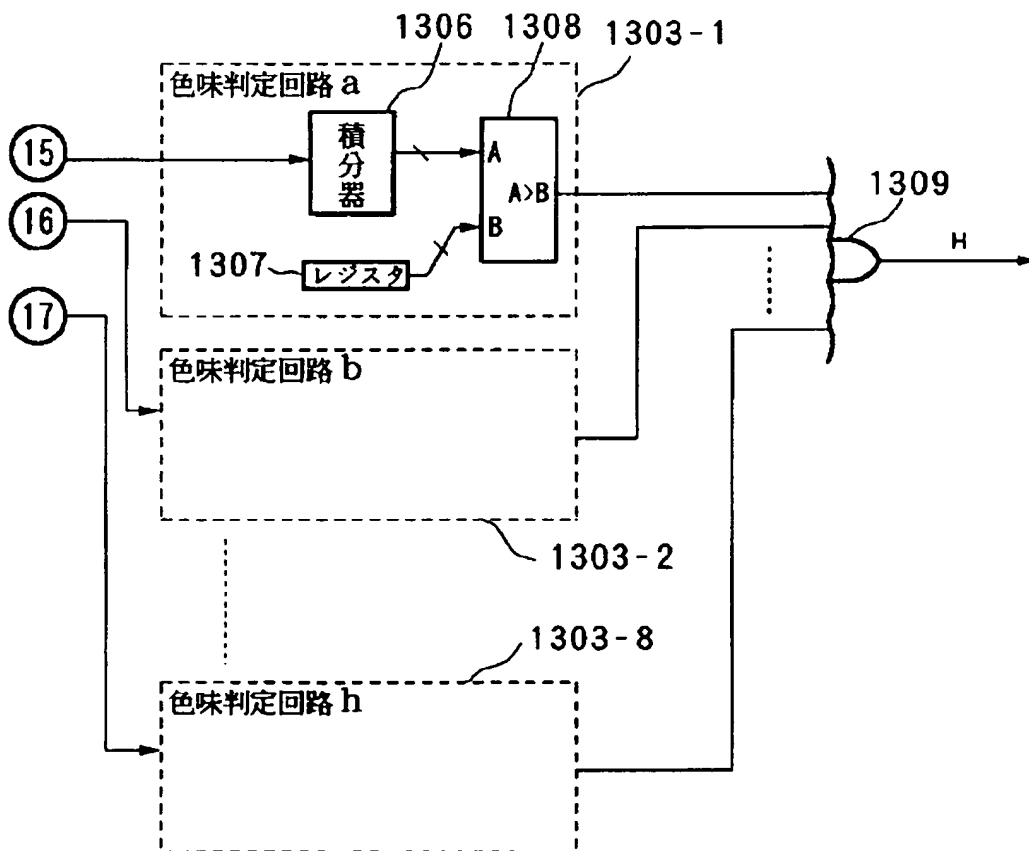
【図39】



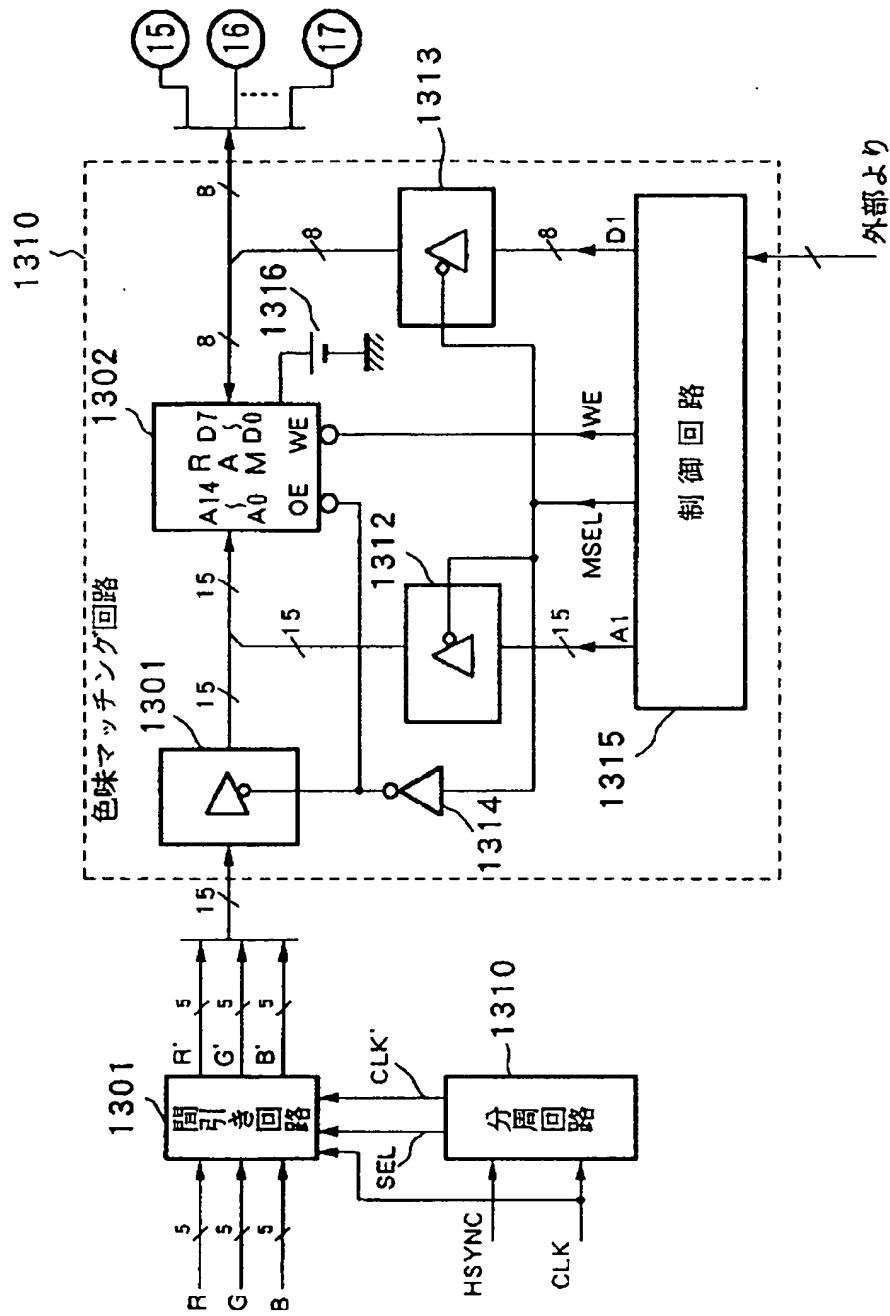
【図40】



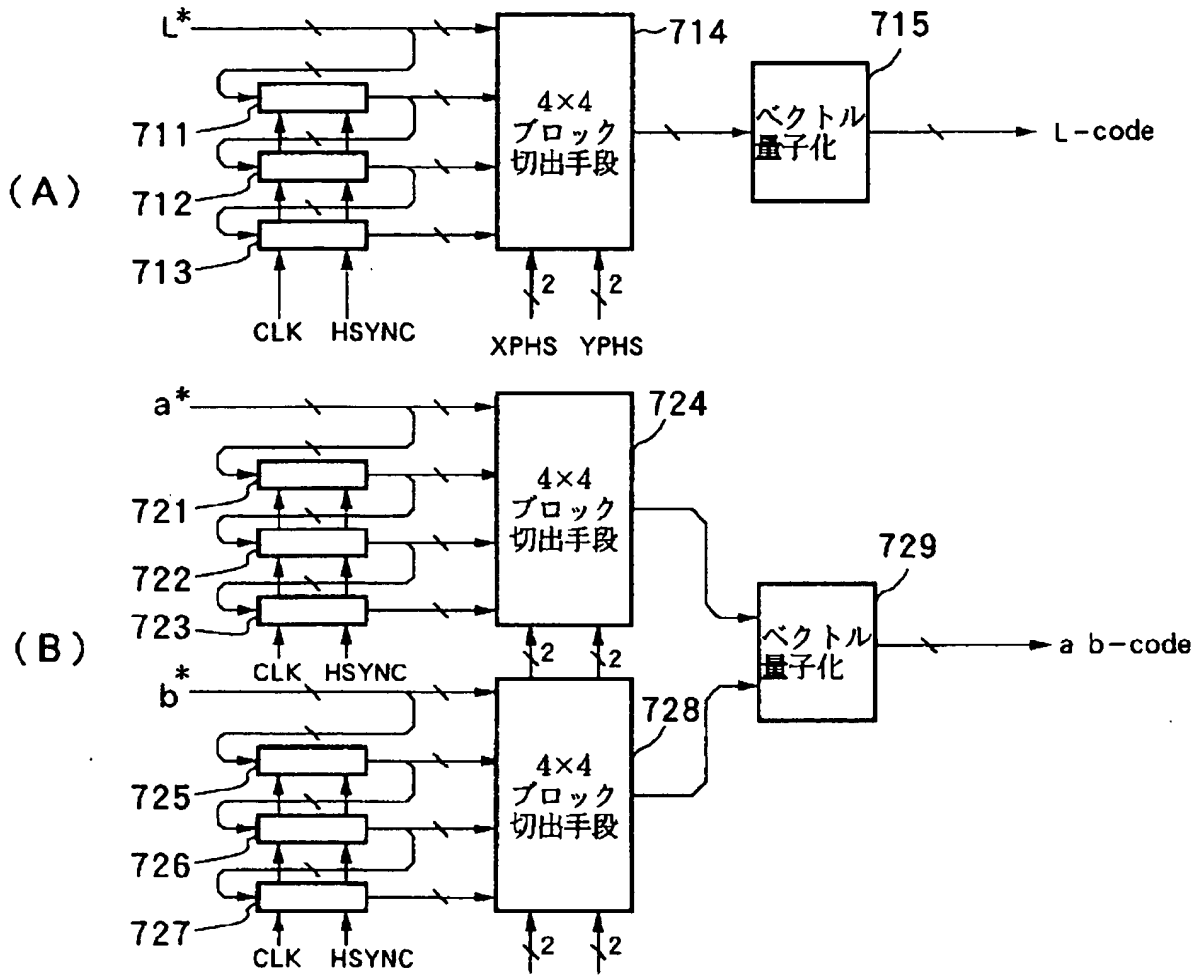
【図43】



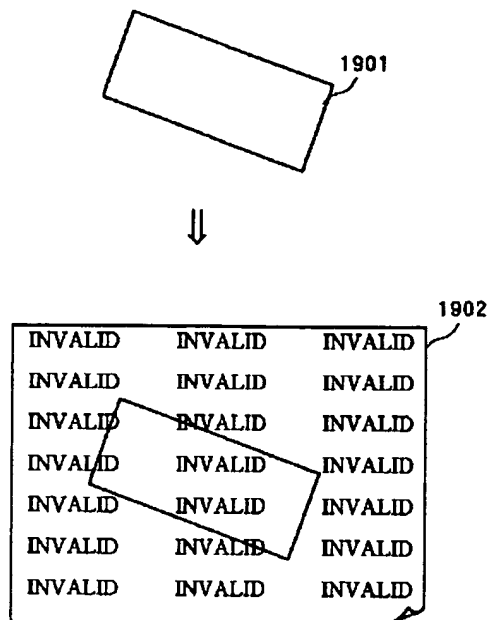
【図42】



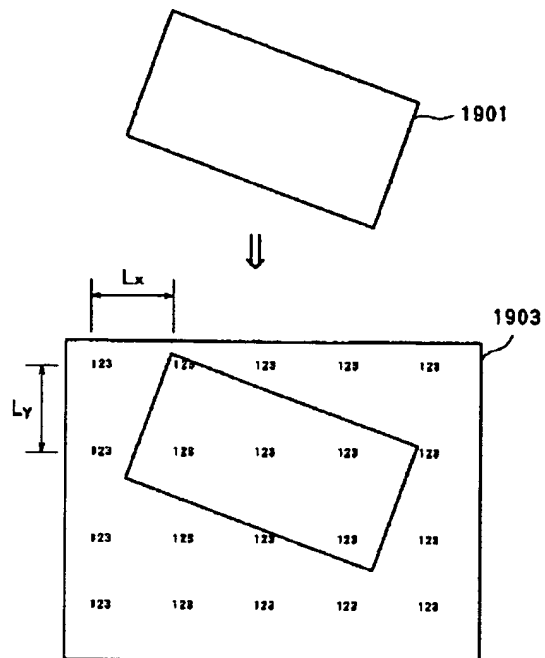
【図44】



【図46】



【図47】



フロントページの続き

(72)発明者 太田 健一  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 太田 英二  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 宝木 洋一  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内